

1,3,7

PAT-NO: JP02001035808A

DOCUMENT-IDENTIFIER: JP 2001035808 A

TITLE: WIRING AND ITS CREATING METHOD,
SEMICONDUCTOR DEVICE HAVING THIS WIRING, AND DRY-ETCHING
METHOD THEREFOR

PUBN-DATE: February 9, 2001

INVENTOR-INFORMATION:

NAME	COUNTRY
SUZAWA, HIDEOMI	N/A
ONO, KOJI	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
SEMICONDUCTOR ENERGY LAB CO LTD	N/A

APPL-NO: JP11206954

APPL-DATE: July 22, 1999

INT-CL (IPC): H01L021/28, H01L021/3065

ABSTRACT:

PROBLEM TO BE SOLVED: To allow patterning a tungsten-based etched layer so as to make its section tapered forward, by specifying the tapered angle of a tungsten film, a metallic compound film having as its main component a tungsten compound, or a metallic alloy film having as its main component a tungsten alloy.

SOLUTION: There are provided a tungsten nitride film in a lower layer 603b of this metallic laminated film and a tungsten film in its

upper layer 603a.

An etched sample comprises a substrate 601, an underlying film 602, the metallic laminated films 603a, 603b, and resist mask patterns 604a, 604b. In this case, the higher a bias-power density is, the smaller a tapered angle α ; of a wiring of the metallic film 603b is, and by adjusting simply the bias-power density, the desired tapered-angle α ; of 5° - 85° ; (preferably, the scope of 20° - 70° ;) can be formed. Hereupon, the tapered-angle α ; means the angle whom the tapered portion (inclined portion) of the sectional shape of the wiring 603b forms to the surface of the underlying film 602.

COPYRIGHT: (C)2001,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-35808

(P2001-35808A)

(43) 公開日 平成13年2月9日 (2001.2.9)

(51) Int.Cl.⁷

識別記号

F I

テームコード* (参考)

H 0 1 L 21/28
21/3065

H 0 1 L 21/28
21/302

F 4 M 1 0 4
J 5 F 0 0 4

審査請求 未請求 請求項の数23 O L (全 17 頁)

(21) 出願番号 特願平11-206954

(22) 出願日 平成11年7月22日 (1999.7.22)

(71) 出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 須沢 英臣

神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(72) 発明者 小野 幸治

神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

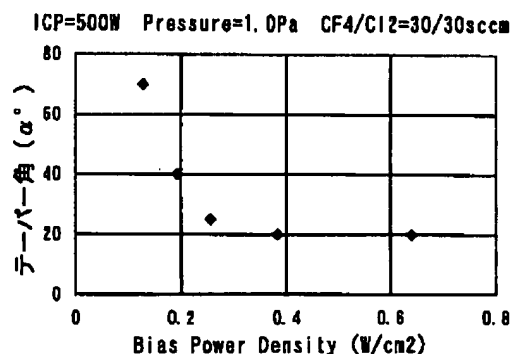
Fターム(参考) 4M104 BB33 DD37 DD65 FF08 GG20
5F004 AA11 BA20 BB13 CA03 CA06
DA00 DA01 DA02 DA04 DA11
DA13 DB08 DB10 DB12 EB02

(54) 【発明の名称】 配線およびその作製方法、この配線を備えた半導体装置、ドライエッチング方法

(57) 【要約】

【課題】 下地に対する選択比が大きく、テーパ形状のタングステン配線を形成するドライエッチング方法を提供する。

【解決手段】 バiasパワー密度を適宜調節し、且つ、フッ素を主成分とするエッチングガスを用いてタングステン薄膜の所望部分を除去すると、所望のテーパ角を有するタングステン配線を形成することができる。



配線の断面形状 (テーパ角 α) のBias POWER依存性

【特許請求の範囲】

【請求項1】タングステン膜、タングステン化合物を主成分とする金属化合物膜、またはタングステン合金を主成分とする金属合金膜からなり、テーパ角 α が 5° ～ 85° の範囲であることを特徴とする配線。

【請求項2】タングステン膜、タングステン化合物を主成分とする金属化合物膜、またはタングステン合金を主成分とする金属合金膜から選ばれた薄膜を積層した積層構造を有し、テーパ角 α が 5° ～ 85° の範囲である配線。

【請求項3】請求項1または請求項2において、前記金属合金膜は、Ta、Ti、Mo、Cr、Nb、Siから選ばれた一種の元素または複数種の元素とタングステンとの合金膜であることを特徴とする配線。

【請求項4】請求項1乃至3のいずれかにおいて、前記金属化合物膜は、タングステンの窒化物膜であることを特徴とする配線。

【請求項5】請求項2乃至4のいずれかにおいて、前記配線の最下層は、導電性を有するシリコン膜であることを特徴とする配線。

【請求項6】タングステン膜、タングステン化合物を主成分とする金属化合物膜、またはタングステン合金を主成分とする金属合金膜からなり、テーパ角 α が 5° ～ 85° の範囲である配線を備えた半導体装置。

【請求項7】タングステン膜、タングステン化合物を主成分とする金属化合物膜、またはタングステン合金を主成分とする金属合金膜から選ばれた薄膜を積層した積層構造を有し、テーパ角 α が 5° ～ 85° の範囲である配線を備えた半導体装置。

【請求項8】請求項6または請求項7において、前記配線は、TFTのゲート配線であることを特徴とする半導体装置。

【請求項9】請求項1乃至8に記載された半導体装置とは、アクティブマトリクス型液晶ディスプレイであることを特徴とする半導体装置。

【請求項10】請求項1乃至8に記載された半導体装置とは、エレクトロルミネセンス素子を備えたELディスプレイであることを特徴とする半導体装置。

【請求項11】請求項9または請求項10に記載された半導体装置を表示媒体として搭載したことを特徴とする半導体装置。

【請求項12】請求項9に記載された半導体装置とは、ビデオカメラ、デジタルカメラ、プロジェクター、ゴーグル型ディスプレイ、カーナビゲーション、パーソナルコンピュータ、携帯情報端末であることを特徴とする半導体装置。

【請求項13】下地膜上に金属薄膜を形成する工程と、前記金属薄膜上にレジストパターンを形成する工程と、前記レジストパターンを有する金属薄膜にエッチングを行い、バイアスパワー密度に応じてテーパ角 α が制御

された配線を形成する工程とを有する配線の作製方法。

【請求項14】下地膜上に金属薄膜を形成する工程と、前記金属薄膜上にレジストパターンを形成する工程と、前記レジストパターンを有する金属薄膜にエッチングを行い、フッ素を含む反応ガスの流量に応じてテーパ角 α が制御された配線を形成する工程とを有する配線の作製方法。

【請求項15】請求項13または請求項14において、前記エッチングは、フッ素を含む第1反応ガスと塩素を含む第2反応ガスとの混合ガスであるエッチングガスを用い、前記エッチングガスにおける前記下地膜と前記金属薄膜との選択比が2.5より大きいことを特徴とする配線の作製方法。

【請求項16】請求項13乃至15のいずれかにおいて、前記金属薄膜は、タングステン膜、タングステン化合物を主成分とする金属化合物膜、またはタングステン合金を主成分とする金属合金膜から選ばれた薄膜、またはそれらの積層膜であることを特徴とする配線の作製方法。

20 【請求項17】タングステン膜、タングステン化合物を主成分とする金属化合物膜、またはタングステン合金を主成分とする金属合金膜から選ばれた薄膜の所望部分をエッチングガスによって除去するドライエッチング方法であって、前記エッチングガスは、フッ素を含む第1反応ガスと塩素を含む第2反応ガスとの混合ガスであることを特徴とするドライエッチング方法。

【請求項18】請求項17において、前記第1反応ガスは、 CF_4 、 C_2F_6 、または C_4F_8 から選ばれたガスであることを特徴とするドライエッチング方法。

30 【請求項19】請求項17において、前記第2反応ガスは、 Cl_2 、 SiCl_4 、または BCl_3 から選ばれたガスであることを特徴とするドライエッチング方法。

【請求項20】請求項17乃至19のいずれかにおいて、ICPエッチング装置を用いてドライエッチングを行うことを特徴とするドライエッチング方法。

【請求項21】請求項17において、前記ICPエッチング装置のバイアスパワー密度を調節することによってテーパ角 α を制御することを特徴とするドライエッチング方法。

40 【請求項22】エッチングによって形成される穴、溝等の内側側壁のテーパ角を、バイアスパワー密度に応じて制御することを特徴とするドライエッチング方法。

【請求項23】エッチングによって形成される穴、溝等の内側側壁のテーパ角を、ガスの流量比に応じて制御することを特徴とするドライエッチング方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本願発明は薄膜トランジスタ（以下、TFTという）で構成された回路を有する半導体装置およびその作製方法に関する。例えば、液晶表示

パネルに代表される電気光学装置およびその様な電気光学装置を部品として搭載した電子機器に関する。特に本発明は金属薄膜をエッチングするドライエッチング法、及び、そのドライエッチング法により得られるテーパ形状の配線を備えた半導体装置に関する。

【0002】なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、半導体回路および電子機器は全て半導体装置である。

【0003】

【従来の技術】近年、絶縁表面を有する基板上に形成された半導体薄膜（厚さ数〜数百nm程度）を用いて薄膜トランジスタ（TFT）を構成する技術が注目されている。薄膜トランジスタはICや電気光学装置のような電子デバイスに広く応用され、特に画像表示装置のスイッチング素子として開発が急がれている。

【0004】従来、TFTの配線材料には、加工のしやすさ、電気抵抗率、および耐薬品性などから、Alが多用されている。しかし、AlをTFTの配線に用いた場合、熱処理によってヒロックやウィスカ等の突起物の形成や、アルミニウム原子のチャネル形成領域への拡散により、TFTの動作不良やTFT特性の低下を引き起こしていた。そのため、Al以外の配線材料としては、バルクの比抵抗が $5.5 \mu\Omega \cdot \text{cm}$ と比較的低く、耐熱性の高いタングステン（W）が望ましい材料として挙げられる。

【0005】また、近年、微細加工技術への要求はますます厳しくなっている。特に液晶ディスプレイにおいては、高精細化および大画面化に伴い、配線の加工工程において高選択比とともに非常に厳しい線幅の制御が求められている。

【0006】一般に配線の加工は、溶液を用いるウェットエッチングまたは、ガスを用いるドライエッチングで行うことができる。ただし、ウェットエッチングは、配線の微細化、再現性確保、廃棄物の削減およびコストの低減を考慮した場合、不利であるため、配線の加工はドライエッチングに向かうものと考えられる。

【0007】タングステン（W）をドライエッチング法により加工する際、用いられるエッチングガスとしては SF_6 と Cl_2 との混合ガスが一般的であった。この混合ガスを用いた場合にはエッチングレートが大きく短時間での微細加工が可能である一方、所望のテーパ形状を得ることは困難であった。配線の上に形成する積層膜のカバレッジを改善するため、デバイス構造によっては配線の断面を意図的に順テーパとする場合がある。

【0008】

【発明が解決しようとする課題】そこで、本発明の課題は、タングステン（W）またはタングステン化合物からなる被エッチング層をその断面が順テーパ形状となるようにパターニングするドライエッチング方法を提供す

る。また、このようなドライエッチング方法において被エッチング層の場所によらず、均一なテーパ角度で、且つ任意のテーパ角度を制御する方法を提供する。加えて、上記方法により得られた任意のテーパ角度を有する配線を用いた半導体装置およびその作製方法を提供する。

【0009】

【課題を解決するための手段】本明細書で開示する配線に関する発明の構成は、タングステン膜、タングステン化合物を主成分とする金属化合物膜、またはタングステン合金を主成分とする金属合金膜からなり、テーパ角 α が $5^\circ \sim 85^\circ$ の範囲であることを特徴とする配線である。

【0010】また、配線に関する他の発明の構成は、タングステン膜、タングステン化合物を主成分とする金属化合物膜、またはタングステン合金を主成分とする金属合金膜から選ばれた薄膜を積層した積層構造を有し、テーパ角 α が $5^\circ \sim 85^\circ$ の範囲である配線である。

【0011】また、上記各構成において、前記金属合金膜は、Ta、Ti、Mo、Cr、Nb、Siから選ばれた一種の元素または複数種の元素とタングステンとの合金膜であることを特徴としている。

【0012】また、上記各構成において、前記金属化合物膜は、タングステンの窒化物膜であることを特徴としている。

【0013】また、上記各構成において、密着性を向上させるために導電性を有するシリコン膜（例えばリンドーブシリコン膜、ボロンドーブシリコン膜等）を最下層に設ける構成としてもよい。

【0014】また、半導体装置に関する発明の構成は、タングステン膜、タングステン化合物を主成分とする金属化合物膜、またはタングステン合金を主成分とする金属合金膜からなり、テーパ角 α が $5^\circ \sim 85^\circ$ の範囲である配線を備えた半導体装置である。

【0015】また、半導体装置に関する他の発明の構成は、タングステン膜、タングステン化合物を主成分とする金属化合物膜、またはタングステン合金を主成分とする金属合金膜から選ばれた薄膜を積層した積層構造を有し、テーパ角 α が $5^\circ \sim 85^\circ$ の範囲である配線を備えた半導体装置である。

【0016】また、上記半導体装置に関する各構成において、前記配線は、TFTのゲート配線であることを特徴としている。

【0017】また、配線の作製方法に関する発明の構成は、下地膜上に金属薄膜を形成する工程と、前記金属薄膜上にレジストパターンを形成する工程と、前記レジストパターンを有する金属薄膜にエッチングを行い、バイアスパワー密度に応じてテーパ角 α が制御された配線を形成する工程とを有する配線の作製方法である。

【0018】また、配線の作製方法に関する他の発明の

構成は、下地膜上に金属薄膜を形成する工程と、前記金属薄膜上にレジストパターンを形成する工程と、前記レジストパターンを有する金属薄膜にエッチングを行い、フッ素を含む反応ガスの流量に応じてテーパ角 α が制御された配線を形成する工程とを有する配線の作製方法である。

【0019】また、上記配線の作製方法に関する各構成において、前記エッチングは、フッ素を含む第1反応ガスと塩素を含む第2反応ガスとの混合ガスであるエッチングガスを用い、前記エッチングガスにおける前記下地膜と前記金属薄膜との選択比が2.5より大きいことを特徴としている。

【0020】また、上記配線の作製方法に関する各構成において、前記金属薄膜は、タングステン膜、タングステン化合物を主成分とする金属化合物膜、またはタングステン合金を主成分とする金属合金膜から選ばれた薄膜、またはそれらの積層膜であることを特徴としている。

【0021】また、ドライエッチング方法に関する発明の構成は、タングステン膜、タングステン化合物を主成分とする金属化合物膜、またはタングステン合金を主成分とする金属合金膜から選ばれた薄膜の所望部分をエッチングガスによって除去するドライエッチング方法であって、前記エッチングガスは、フッ素を含む第1反応ガスと塩素を含む第2反応ガスとの混合ガスであることを特徴とするドライエッチング方法である。

【0022】また、上記ドライエッチング方法に関する発明の構成において、前記第1反応ガスは、 CF_4 、 C_2F_6 、または C_4F_8 から選ばれたガスであることを特徴としている。

【0023】また、上記ドライエッチング方法に関する発明の構成において、前記第2反応ガスは、 Cl_2 、 SiCl_4 、または BCl_3 から選ばれたガスであることを特徴としている。

【0024】また、上記ドライエッチング方法に関する発明の構成において、ICPエッチング装置を用いてドライエッチングを行うことを特徴としている。

【0025】また、上記ドライエッチング方法に関する発明の構成において、前記ICPエッチング装置のバイアスパワー密度を調節することによってテーパ角 α を制御することを特徴としている。

【0026】また、ドライエッチング方法に関する他の発明の構成は、エッチングによって形成される穴、溝等の内側側壁のテーパ角を、バイアスパワー密度に応じて制御することを特徴とするドライエッチング方法である。

【0027】また、ドライエッチング方法に関する他の発明の構成は、エッチングによって形成される穴、溝等の内側側壁のテーパ角を、ガスの流量比に応じて制御することを特徴とするドライエッチング方法である。

【0028】

【発明の実施の形態】本願発明の実施形態について、図1～図8を用いて以下に説明する。

【0029】本発明では、高密度プラズマを使用するICP (Inductively Coupled Plasma) エッチング装置を使用した。簡略に説明すると、ICPエッチング装置は、低圧力でRF電力を誘導的にプラズマ中に結合させることで、 10^{11} 個/ cm^3 以上のプラズマ密度を達成して、高選択比かつ高エッチングレートの加工を行うものである。

【0030】まず、ICPドライエッチング装置プラズマ生成機構について図4を用いて詳細に説明する。

【0031】図4にエッチングチャンバーの簡略構造図を示す。チャンバー上部の石英板11上にアンテナコイル12を配置し、マッチングボックス13を介してRF電源14に接続されている。また、対向に配置された基板側の下部電極15にもマッチングボックス16を介してRF電源17が接続されている。

【0032】基板上方のアンテナコイル12にRF電流が印加されると、アンテナコイル12にRF電流 J が θ 方向に流れ、 Z 方向に磁界 B が発生する。

【0033】

【数1】

$$\mu_0 J = \text{rot } B$$

【0034】ファラデーの電磁誘導の法則に従い、 θ 方向に誘導電界 E が生じる。

【0035】

【数2】

$$-\frac{\partial B}{\partial t} = \text{rot } E$$

【0036】この誘導電界 E で電子が θ 方向に加速されガス分子と衝突し、プラズマが生成される。誘導電界の方向が θ 方向なので、荷電粒子がエッチングチャンバー壁や、基板に衝突して電荷を消失する確率が低くなる。従って、1 Pa程度の低圧力でも高密度のプラズマを発生させることができる。また、下流へは、磁界 B がほとんどないので、シート状に広がった高密度プラズマ領域となる。

【0037】アンテナコイル12 (ICPパワーが印加される) と基板側の下部電極15 (バイアスパワーが印加される) のそれぞれに印加するRFパワーを調節することによってプラズマ密度と自己バイアス電圧を独立に制御することが可能である。また、被処理物の材料に応じて印加するRFパワーの周波数を異ならせることも可能となる。

【0038】ICPエッチング装置で高密度プラズマを得るためには、アンテナコイル12に流れるRF電流 J を低損失で流す必要があり、大面積化するためには、アンテナコイル12のインダクタンスを低下させなければ

ならない。そのために図5に示したようにアンテナを分割したマルチスパイラルコイル22のICPエッチング装置が開発された。図5中の21は石英板、23、26はマッチングボックス、24、27はRF電源である。また、チャンバーの底部には、基板28を保持する下部電極25が絶縁体29を介して設けられている。このようなマルチスパイラルコイルを適用したICPを用いたエッチング装置を用いると、前記耐熱性導電性材料のエッチングを良好に行うことができる。

【0039】本発明人らは、このマルチスパイラルコイル方式のICPエッチング装置（松下電器産業製：E645）を用いてエッチング条件を振り、いくつかの実験を行った。

【0040】まず、実験に用いたエッチング試料を説明する。絶縁性基板（1737基板）上に窒化酸化シリコン膜からなる下地膜（200nm）を形成し、その上にスパッタ法により金属積層膜を形成した。ここでは純度が6N以上のタングステンターゲットを用いた。また、スパッタガスとしてはアルゴン（Ar）、クリプトン（Kr）、キセノン（Xe）等の単体ガスまたはそれらの混合ガスを用いればよい。なお、スパッタパワー、ガスの圧力、基板温度等の成膜条件は適宜実施者が制御すればよい。

【0041】この金属積層膜は下層にWNx（但し、 $0 < x < 1$ ）で示される窒化タングステン膜（膜厚：30nm）を有し、上層にタングステン膜（370nm）を有している。

【0042】こうして得られる金属積層膜は、不純物元素がほとんど含まれておらず、特に酸素の含有量は30ppm以下とすることができ、電気抵抗率は $20\mu\Omega \cdot \text{cm}$ 以下、代表的には、 $6\mu \sim 15\mu\Omega \cdot \text{cm}$ とすることができる。また、膜の応力は、 $-5 \times 10^9 \sim 5 \times 10^9 \text{ dyn/cm}^2$ とすることができる。

【0043】なお、本明細書中において窒化酸化シリコン膜とはSiOxNyで表される絶縁膜であり、珪素、酸素、窒素を所定の割合で含む絶縁膜を指す。

【0044】このエッチング試料をマルチスパイラルコイル方式のICPエッチング装置を用いて金属積層膜のパターニング実験を行った。なお、ドライエッチングを行う際には、レジストを用いて所望の形状にパターニングしたレジストマスクパターン（膜厚：1.5 μm ）を形成しておくことは言うまでもないことである。

【0045】エッチング処理前のエッチング試料の模式断面図を図6（A）に示した。図6（A）中、601は基板、602は下地膜、603a、603bは金属積層膜（膜厚 $X=400\text{nm}$ ）、604a、604bはレジストマスクパターン（膜厚 $Y=1.5\mu\text{m}$ ）である。また、エッチング処理後の状態を示した図が図6（B）である。

【0046】なお、本明細書中において、テーパ角と

は図6（B）に示すように、配線603の断面形状のテーパ部（傾斜部）と下地膜602の表面がなす角 α をいう。また、テーパ角はテーパ部の幅 Z と、膜厚 X を用いて、 $\tan \alpha = X/Z$ と定義できる。

【0047】本発明人らは、様々なドライエッチング条件を振り、配線の断面形状の観察を行った。

【0048】実験1）図1はテーパ角 α のバイアスパワー依存性を示した図である。13.56MHzのバイアスパワーを20W、30W、40W、60W、100W、即ち、バイアスパワー密度（ W/cm^2 ）を、0.128、0.192、0.256、0.384、0.64にして実験を行った。なお、下部電極は、12.5cm \times 12.5cmである。また、レジスト膜厚は1.5 μm 、ガス圧は1.0Pa、ガス組成は $\text{CF}_4/\text{C}_2\text{F}_6=30/30\text{ sccm}$ （ただし、sccmは標準状態における体積流量（ $\text{cm}^3/\text{分}$ ）を表す）である。また、ICPパワーは500W、即ち、ICPパワー密度は、1.02 W/cm^2 である。ただし、本明細書中では、ICPパワーをIPCエリア面積（直径25cm）で割った値をICPパワー密度（ W/cm^2 ）としている。

【0049】図1より、バイアスパワー密度が高いほど配線のテーパ角 α が小さくなることがわかる。また、単にバイアスパワー密度を調節することにより、所望のテーパ角 $\alpha=5^\circ \sim 85^\circ$ （好ましくは $20^\circ \sim 70^\circ$ の範囲）を形成することができる。

【0050】なお、バイアスパワーを20W（バイアスパワー密度；0.128 W/cm^2 ）とした時の断面SEM写真を図7（A）、バイアスパワーを30W（バイアスパワー密度；0.192 W/cm^2 ）とした時の断面SEM写真を図7（B）、バイアスパワーを40W（バイアスパワー密度；0.256 W/cm^2 ）とした時の断面SEM写真を図7（C）、バイアスパワーを60W（バイアスパワー密度；0.384 W/cm^2 ）とした時の断面SEM写真を図8（A）、バイアスパワーを100W（バイアスパワー密度；0.64 W/cm^2 ）とした時の断面SEM写真を図8（B）にそれぞれ示した。図7および図8に示した各SEM写真からテーパ角 α が $20^\circ \sim 70^\circ$ の範囲に形成されていることが観察でき、テーパ角 α はバイアスパワー密度を変えることで制御できることがわかる。

【0051】これは、タングステンとレジストとの選択比が小さくなり、レジストの後退現象が生じるためと考えられる。

【0052】実験2）また、図2はテーパ角 α と CF_4 の流量比依存性を示した図である。ガス組成比を $\text{CF}_4/\text{C}_2\text{F}_6=20/40\text{ sccm}$ 、 $30/30\text{ sccm}$ 、 $40/20\text{ sccm}$ にして実験を行った。ガス圧は1.0Pa、バイアスパワー密度は0.128 W/cm^2 、レジスト膜厚は1.5 μm 、ICPパワーを500W（ICPパワー密度；1.02 W/cm^2 ）である。

【0053】図2により CF_4 の流量比が大きいくほどタングステンとレジストとの選択比が大きくなり、配線のテーパ角 α が大きくなることがわかる。また、下地の荒れも少なくなる。下地の荒れについては CF_4 の流量比増(C_2F_6 流量比減)となることで、エッチング異方性が弱まったことが原因として考えられる。また、単に CF_4 の流量比を調節することにより、所望のテーパ角 $\alpha=5^\circ\sim 85^\circ$ (好ましくは $60^\circ\sim 80^\circ$ の範囲)を形成することができる。

【0054】実験3) また、13.56MHzのICP 10 パワーを400W、500W、600W、即ちICPパワー密度を0.82、1.02、1.22にして実験を行った。バイアスパワーは20W(バイアスパワー密度; $0.128\text{W}/\text{cm}^2$)、レジスト膜厚は1.5 μm 、ガス圧は1.0Pa、ガス組成は $\text{CF}_4/\text{C}_2\text{F}_6=30/30\text{sccm}$ である。

【0055】ICPパワー密度が大きくなるにつれタングステンのエッチングレートは大きくなるが、エッチングレート分布が悪くなる。また、テーパ角の変化は特に見られなかった。

【0056】実験4) また、ガス圧を1.0Pa、2.0Paにして実験を行った。ICPパワーは500W(ICPパワー密度; $1.02\text{W}/\text{cm}^2$)、ガス組成は $\text{CF}_4/\text{C}_2\text{F}_6=30/30\text{sccm}$ 、バイアスパワーは20W(バイアスパワー密度; $0.128\text{W}/\text{cm}^2$)、レジスト膜厚は1.5 μm である。

【0057】高真空になるにつれタングステンのエッチングレートは早くなり、異方性も強くなる。また、2.0Paでは逆テーパ形状となった。

【0058】実験5) また、エッチングガスの総流量を 30 60sccm、120sccmにして実験を行った。ガス圧は1.0Pa、ICPパワーは500W(ICPパワー密度; $1.02\text{W}/\text{cm}^2$)、ガス組成は $\text{CF}_4/\text{C}_2\text{F}_6=30/30\text{sccm}$ 、バイアスパワーは20W(バイアスパワー密度; $0.128\text{W}/\text{cm}^2$)、レジスト膜厚は1.5 μm である。

【0059】エッチングガスの総流量が多いほうが若干レートは大きくなった。

【0060】上記実験結果からテーパ角は主としてバイアスパワー密度条件に左右されるため、タングステン 40 とレジストの選択比に依存していると考えられる。図3にタングステンとレジストの選択比とテーパ角との依存性を示した。

【0061】バイアスパワー密度の変化はタングステンのエッチングレートよりもタングステンとレジストの選択比に大きく影響し、バイアスパワー密度を大きくするとタングステンとレジストの選択比は低下する傾向にある。図9(A)にタングステン及びレジストのエッチングレートのバイアスパワー密度依存性を示し、図9

(B)にタングステンとレジストの選択比のバイアスパ 50

ワー密度依存性を示した。

【0062】つまり、図6(A)及び図6(B)に示したようにタングステンをエッチングすると同時にレジストもエッチングされるため、タングステンとレジストの選択比が大きくとテーパ角が大きくなり、タングステンとレジストの選択比が小さいとテーパ角が小さくなる。

【0063】また、同様に CF_4 ガス流量比を小さくすると、タングステンとレジストの選択比は低下する傾向にある。図10(A)にタングステン及びレジストのエッチングレートの CF_4 ガス流量比依存性を示し、図10(B)にタングステンとレジストの選択比の CF_4 ガス流量比依存性を示した。

【0064】また、図11(A)にタングステン及びレジストのエッチングレートのICPパワー密度依存性を示し、図11(B)にタングステンとレジストの選択比のICPパワー密度依存性を示した。

【0065】また、上記各実験ではエッチング試料として、絶縁性基板上に窒化酸化シリコン膜からなる下地膜(200nm)が形成され、その上に金属積層膜(窒化タングステン膜とタングステン膜との積層膜)が形成されたものを用いたが、本発明は、タングステン膜、タングステン化合物を主成分とする金属化合物膜、またはタングステン合金を主成分とする金属合金膜から選ばれた薄膜、またはそれらの薄膜を積層した積層構造であれば適用可能である。ただし、下地膜との選択比が2.5以下である場合や、エッチングレートが極端に小さいものは除く。例えば、W-Mo合金膜(W:Mo=52:48の重量%比率を有する)は、下地膜(SiOxNy)との選択比が約1.5以下であり、エッチングレートが約50nm/minと小さいため、被加工性という観点から適さない。

【0066】ここでは、W膜を一例として示したが、一般に知られている耐熱性導電性材料(Ta、Ti、Mo、Cr、Nb、Si等)についてICPエッチング装置を用いると、容易にパターンの端部をテーパ形状として加工することができる。例えば、Ta膜のエッチング速度は140~160nm/minで選択比も6~8が選られ、W膜のエッチング速度70~90nm/min、また選択比2~4に対して優れた値となっている。従って、被加工性という観点からはTa膜も適しているが、表中に示さない値として、Ta膜の抵抗率は20~30 $\mu\Omega\text{cm}$ であり、W膜の抵抗率が10~16 $\mu\Omega\text{cm}$ であるのに比べて若干高い点が難点となる。

【0067】また、上記ドライエッチングに用いるエッチングガスとして CF_4 (四フッ化炭素ガス)と C_2F_6 ガスの混合ガスを用いたが、特に限定されず、例えば、 C_2F_6 、または C_4F_8 から選ばれたフッ素を含む反応ガスと C_2F_6 、 SiCl_4 、または BCl_3 から選ばれた塩素を含むガスとの混合ガスを用いることも可能である。

【0068】また、本発明のエッチング条件は、特に限定されず、例えば、ICPエッチング装置（松下電器産業製：E645）を用い、四フッ化炭素ガス（ CF_4 ）と塩素（ Cl_2 ）を用いた場合であれば、
 エッチングガス総流量：60～120 sccm
 エッチングガス流量比： $\text{CF}_4/\text{Cl}_2=30/30$ sccm～50/10 sccm
 ガス圧（エッチングガス雰囲気の圧力）：1.0 Pa～2.0 Pa
 ICPパワー密度：0.61 W/cm²～2.04 W/cm²（ICPパワー：300 W～1000 W）、周波数は、13 MHz～60 MHz
 バイアスパワー密度：0.064 W/cm²～3.2 W/cm²（バイアスパワー：10 W～500 W）、周波数は、100 kHz～60 MHz、好ましくは6 MHz～29 MHz
 基板温度：0℃～80℃、好ましくは70℃±10℃であり、この範囲内で適宜、実施者がエッチング条件を決定すればよい。

【0069】なお、本明細書中において「電極」とは、「配線」の一部であり、他の配線との電気的接続を行う箇所、または半導体層と交差する箇所を指す。従って、説明の便宜上、「配線」と「電極」とを使い分けるが、「電極」という文言に「配線」は常に含まれているものとする。

【0070】以上の構成でなる本願発明について、以下に示す実施例をもってさらに詳細な説明を行うこととする。

【0071】

【実施例】【実施例1】本発明の実施例を図12及び図13を用いて説明する。ここでは、画素部の画素TFTおよび保持容量と、画素部の周辺に設けられる駆動回路のTFTを同時に作製したアクティブマトリクス基板を説明する。

【0072】本実施例の構造は、図12に示したように、絶縁性表面を有する基板101上にTFTを有している。基板101には、ガラス基板や石英基板を使用することが望ましい。その他にもシリコン基板、金属基板またはステンレス基板の表面に絶縁膜を形成したものを基板としても良い。耐熱性が許せばプラスチック基板を用いることも可能である。

【0073】この基板101のTFTが形成される表面には、珪素（シリコン）を含む絶縁膜（本明細書中では酸化シリコン膜、窒化シリコン膜、または窒化酸化シリコン膜の総称を指す）からなる下地膜102を有している。例えば、プラズマCVD法で SiH_4 、 NH_3 、 N_2O から作製される酸化窒化シリコン膜102aを10～200 nm（好ましくは50～100 nm）、同様に SiH_4 、 N_2O 、 H_2 から作製される酸化窒化水素化シリコン膜102bを50～200 nm（好ましくは100

～150 nm）の厚さに積層形成した。ここでは下地膜102を2層構造として示したが、前記絶縁膜の単層膜または2層以上積層させて形成しても良い。

【0074】また、下地膜102上には、TFTの活性層を有している。この活性層としては、非晶質構造を有する半導体膜を結晶化させて得た結晶性半導体膜にパターンニングを施したものをを用いた。結晶化方法としては、公知の技術、例えばレーザーアニール法や熱アニール法（固相成長法）、ラビットサーマルアニール法（RTA法）、または特開平7-130652号公報で開示された技術に従って、触媒元素を用いる結晶化法を適用すればよい。なお、非晶質構造を有する半導体膜には、非晶質半導体膜や微結晶半導体膜があり、非晶質シリコンゲルマニウム膜などの非晶質構造を有する化合物半導体膜を適用しても良い。

【0075】上記TFTの活性層を覆うゲート絶縁膜130は、プラズマCVD法またはスパッタ法を用い、膜厚を40～150 nmとしてシリコンを含む絶縁膜で形成した。本実施例では、120 nmの厚さで酸化窒化シリコン膜から形成した。また、 SiH_4 と N_2O に O_2 を添加させて作製された酸化窒化シリコン膜は、膜中の固定電荷密度が低減されているのでこの用途に対して好ましい材料となる。勿論、ゲート絶縁膜はこのような酸化窒化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。

【0076】上記ゲート絶縁膜上に形成されたゲート電極118～122及び容量電極123は、耐熱性導電性材料を用い、導電性の窒化物金属膜から成る導電層

（A）と金属膜から成る導電層（B）とを積層した構造を有している。導電層（B）はTa、Ti、Wから選ばれた元素、または前記元素を成分とする合金か、前記元素を組み合わせた合金膜で形成すればよい。本実施例では、純度が6NであるWターゲットを用いたスパッタ法で、Arガスと窒素（ N_2 ）ガスを導入して導電層（A）をWN膜で50 nmの厚さに形成し、導電層（B）をW膜で250 nmの厚さに形成した導電積層膜をパターンニングしてゲート電極118～122及び容量電極123を完成させた。なお、ゲート電極118～123の端部にテーパ部が形成されるようにエッチングする。このエッチング加工はICPエッチング装置により行う。その技術の詳細は発明の実施の形態に示した通りである。本実施例では、エッチングガスに CF_4 と Cl_2 の混合ガスを用い、その流量をそれぞれ30 sccmとして、ICPパワー密度を3.2 W/cm²（周波数：13.56 MHz）、バイアスパワー密度を0.224 W/cm²（周波数：13.56 MHz）、ガス圧1.0 Paとしてエッチングを行った。このようなエッチング条件とすることによって、ゲート電極118～122及び容量電極123の端部において、該端部から内

側にむかって徐々に厚さが増加するテーパー部が形成され、その角度は25〜35°、好ましくは30°とすることができた。

【0077】なお、このテーパー形状を有するゲート電極118〜122、及び容量電極123を形成する際、残渣を残すことなくエッチングするために、10〜20%程度の割合でエッチング時間を増すオーバーエッチングを施したため、ゲート絶縁膜130は、実質的に薄くなった部分を有している。

【0078】また、本実施例では、所望のLDD領域を形成するため、端部にテーパー部を有するゲート電極118〜122をマスクとして自己整合的にn型またはp型を付与する不純物元素をイオンドーパ法で活性層に添加した。また、適宜、所望のLDD領域を形成するため、レジストパターンをマスクとしてn型またはp型を付与する不純物元素をイオンドーパ法で活性層に添加した。

【0079】こうして、駆動回路の第1のpチャネル型TFT(A)200aには、活性層にチャネル形成領域206、ゲート電極と重なるLDD領域207、高濃度p型不純物領域から成るソース領域208、ドレイン領域209を有した構造となっている。第1のnチャネル型TFT(A)201aには、活性層にチャネル形成領域210、低濃度n型不純物領域で形成されゲート電極119と重なるLDD領域211、高濃度n型不純物領域で形成するソース領域212、ドレイン領域213を有している。チャネル長3〜7μmに対して、ゲート電極119と重なるLDD領域をLovとしてそのチャネル長方向の長さは0.1〜1.5μm、好ましくは0.3〜0.8μmとする。このLovの長さはゲート電極119の厚さとテーパー部の角度から制御する。

【0080】また、駆動回路の第2のpチャネル型TFT(A)202aは同様に、活性層にチャネル形成領域214、ゲート電極120と重なるLDD領域215、高濃度p型不純物領域で形成されるソース領域216、ドレイン領域217を有した構造となっている。第2のnチャネル型TFT(A)203aには、活性層にチャネル形成領域218、ゲート電極121と重なるLDD領域219、高濃度n型不純物領域で形成するソース領域220、ドレイン領域221を有している。LDD領域219は、LDD領域211と同じ構成とする。画素TFT204には、活性層にチャネル形成領域222a、222b、低濃度n型不純物領域で形成するLDD領域223a、223b、高濃度n型不純物領域で形成するソースまたはドレイン領域225〜227を有している。LDD領域223a、223bは、LDD領域211と同じ構成とする。さらに、容量配線123と、ゲート絶縁膜と、画素TFT204のドレイン領域227に接続する半導体層228、229とから保持容量205が形成されている。図12では、駆動回路のnチャネ

ル型TFTおよびpチャネル型TFTを一对のソース・ドレイン間に一つのゲート電極を設けたシングルゲートの構造とし、画素TFTをダブルゲート構造としたが、これらのTFTはいずれもシングルゲート構造としても良いし、複数のゲート電極を一对のソース・ドレイン間に設けたマルチゲート構造としても差し支えない。

【0081】また、ゲート電極およびゲート絶縁膜130を覆って保護絶縁膜142を有している。保護絶縁膜は酸化シリコン膜、酸化窒化シリコン膜、窒化シリコン膜、またはこれらを組み合わせた積層膜で形成すれば良い。

【0082】また、保護絶縁膜142を覆って有機絶縁物材料からなる層間絶縁膜143を有している。有機樹脂材料としては、ポリイミド、アクリル、ポリアミド、ポリイミドアミド、BCB(ベンゾシクロブテン)等を使用することができる。

【0083】また、コンタクトホールを介してそれぞれの活性層に形成されたソース領域またはドレイン領域に接するソース配線またはドレイン配線を層間絶縁膜143上に有している。なお、ソース配線またはドレイン配線は、144a〜154aで示すTiとアルミニウムの積層膜と、144b〜154bで示す透明導電膜との積層構造を有している。また、ドレイン配線153a、153bは画素電極として機能するものである。透明導電膜には酸化インジウム酸化亜鉛合金($\text{In}_2\text{O}_3-\text{ZnO}$)、酸化亜鉛(ZnO)も適した材料であり、さらに可視光の透過率や導電率を高めるためにガリウム(Ga)を添加した酸化亜鉛($\text{ZnO}:\text{Ga}$)などを好適に用いることができる。

【0084】以上の様な構成は、画素TFTおよび駆動回路が要求する仕様に応じて各回路を構成するTFTの構造を最適化し、半導体装置の動作性能と信頼性を向上させることを可能としている。さらにゲート電極として耐熱性を有する導電性材料で形成することによりLDD領域やソース領域およびドレイン領域の活性化を容易としている。

【0085】さらに、ゲート電極にゲート絶縁膜を介して重なるLDD領域を形成する際に、導電性を制御する目的で添加した不純物元素に濃度勾配を持たせてLDD領域を形成することで、特にドレイン領域近傍における電界緩和効果が高まることが期待できる。

【0086】また、図12に示したアクティブマトリクス基板はそのまま反射型の液晶表示装置に適用することができる。

【0087】次に、図13を用いて、図12に示したアクティブマトリクス基板を適用したアクティブマトリクス型液晶表示装置を説明する。

【0088】まず、アクティブマトリクス基板上に樹脂膜をパターンニングして得られる柱状のスペーサ405a〜405e、406を形成する。また、スペーサの配置

は任意に決定すれば良い。なお、スペーサは数 μm の粒子を散布して設ける方法でも良い。

【0089】次いで、アクティブマトリクス基板の画素部に、液晶を配向させるためポリイミド樹脂等からなる配向膜407を設ける。配向膜を形成した後、ラビング処理を施して液晶分子がある一定のプレチルト角を持って配向するようにした。

【0090】対向側の対向基板401には、遮光膜402、透明導電膜403および配向膜404を形成する。遮光膜402はTi膜、Cr膜、Al膜などを150～300nmの厚さで形成する。そして、画素部と駆動回路が形成されたアクティブマトリクス基板と対向基板とをシール剤408で貼り合わせる。

【0091】その後、両基板の間に液晶材料409を注入する。液晶材料には公知の液晶材料を用いれば良い。例えば、TN液晶の他に、電場に対して透過率が連続的に変化する電気光学応答性を示す、無しき値反強誘電性混合液晶を用いることもできる。この無しき値反強誘電性混合液晶には、V字型の電気光学応答特性を示すものもある。このようにして図13に示す反射型のアクティブマトリクス型液晶表示装置が完成する。

【0092】一方、透過型の液晶表示装置とする場合には画素部の各画素に設ける画素電極を透明電極で形成すれば良い。

【0093】[実施例2]本実施例は、図14を用いて、上記実施例(トップゲート型TFT)とは異なるボトムゲート型TFTを用いた表示装置を作製した例を示す。

【0094】まず、絶縁性基板1801上にスパッタ法により金属積層膜を形成する。この金属積層膜は、下層に窒化タングステン膜を有し、上層にタングステン膜を有している。なお、基板と接してSiOxNyで表される窒化酸化シリコン膜等の下地膜を形成してもよい。次いで、所望のゲート配線パターンを得るためのレジストマスクをフォトリソグラフィ法によって形成する。

【0095】ボトムゲート型TFTにおいては、ゲート絶縁膜およびチャネル形成領域などをゲート配線上に形成する必要がある。ボトムゲート構造のTFT特性、ゲート配線上に形成する膜の被覆性およびゲート絶縁膜の耐圧を向上させるため、ゲート配線1802～1805のテーパ角は60°以下、好ましくは40°以下であることが望ましい。

【0096】次いで、ICPエッチング装置を用い、上記発明の実施の形態に示したようにバイアスパワーまたはガス流量比を適宜選択して、ゲート配線1802～1805のテーパ角を60°以下、好ましくは40°以下とした。以降の工程は、公知の技術を用いればよく、特に限定されない。

【0097】図21中において1814はCMOS回路、1815はnチャネル型TFT、1816は画素T

FT、1817は層間絶縁膜、1818aは画素電極、1818bはITO膜である。このITO膜1818bは、FPC等の外部端子と接続するために設ける。また、1819は液晶材料、1820は対向電極である。また、1801は第1の基板、1808はシール領域、1807、1809～1812は柱状スペーサ、1821は第2の基板である。

【0098】なお、本実施例は実施例1と自由に組み合わせることが可能である。

【0099】[実施例3]図15に本発明を利用して絶縁表面上に形成された様々な配線構造の一例を示す。図15(A)には絶縁表面を有する膜(または基板)1500上にタングステンを主成分とする材料1501からなる単層構造の配線の断面図を示した。この配線は、ターゲットとしては純度が6Nのものを用い、スパッタガスとしてはアルゴン(Ar)の単体ガスを用いて形成した膜をパターニングして形成したものである。なお、基板温度を300℃以下とし、スパッタガスの圧力を1.0Pa以上として応力を制御し、他の条件(スパッタパワー等)は適宜実施者が決定すればよい。

【0100】上記パターニングの際には、発明の実施の形態に示した方法、例えば、バイアスパワー密度に応じてテーパ角 α を制御する。

【0101】こうして得られる配線1501の断面形状は、所望のテーパ角 α を有している。また、不純物元素がほとんど含まれておらず、特に酸素の含有量は30ppm以下とすることができ、電気抵抗率は $20\mu\Omega\cdot\text{cm}$ 以下、代表的には、 $6\mu\sim 15\mu\Omega\cdot\text{cm}$ とすることができる。また、膜の応力は、 $-5\times 10^{10}\sim 5\times 10^{10}\text{dyn/cm}^2$ とすることができる。

【0102】また、図15(B)は、実施例1のゲート電極と同様の二層構造を示した。なお、窒化タングステン(WNx)を下層とし、タングステンを上層としている。なお、窒化タングステン膜1502は10～50nm(好ましくは10～30nm)とし、タングステン膜1503は200～400nm(好ましくは250～350nm)とすれば良い。本実施例では、大気に触れることなく、連続的にスパッタ法を用いて積層形成した。

【0103】また、図15(C)は、絶縁表面を有する膜(または基板)1500上に形成されたタングステンを主成分とする材料からなる配線1504を絶縁膜1505で覆った例である。絶縁膜1505は窒化珪素膜、酸化珪素膜、酸化窒化珪素膜SiOxNy(但し、 $0<x, y<1$)またはそれらを組み合わせた積層膜で形成すれば良い。

【0104】また、図15(D)は、絶縁表面を有する膜(または基板)1500上に形成されたタングステンを主成分とする材料からなる配線1506の表面を窒化タングステン膜1507で覆った例である。なお、図15(A)の状態の配線にプラズマ窒化等の窒化処理を施

すと図15(D)の構造が得られる。

【0105】また、図15(E)は、絶縁表面を有する膜(または基板)1500上に形成されたタングステンを主成分とする材料からなる配線1509を窒化タングステン膜1510、1508で囲った例である。なお、図15(B)の状態の配線にプラズマ窒化等の窒化処理を施すと図15(E)の構造が得られる。

【0106】また、図15(F)は、図15(E)の状態を形成した後、絶縁膜1511で覆った例である。絶縁膜1511は窒化珪素膜、酸化珪素膜、酸化窒化珪素膜またはそれらを組み合わせた積層膜で形成すれば良い。

【0107】このように、本発明は様々な配線構造に適用することができる。また、本実施例は実施例1または実施例2と自由に組み合わせることが可能である。

【0108】[実施例4]本実施例では、本発明をシリコン基板上に作製した反射型液晶表示装置に適用した場合について説明する。本実施例は、実施例1において、結晶質シリコン膜でなる活性層の代わりに、シリコン基板(シリコンウェハ)に直接的にn型またはp型を付与する不純物元素を添加し、TFT構造を実現すれば良い。また、反射型であるので、画素電極として反射率の高い金属膜(例えばアルミニウム、銀、またはこれらの合金(A1-Ag合金)等)を用いれば良い。

【0109】なお、本実施例の構成は、実施例1~3のいずれの構成とも自由に組み合わせることが可能である。

【0110】[実施例5]本発明は従来のMOSFET上に層間絶縁膜を形成し、その上にTFTを形成する際に用いることも可能である。即ち、三次元構造の半導体装置を実現することも可能である。また、基板としてSIMOX、Smart-Cut(SOITEC社の登録商標)、ELTRAN(キャノン株式会社の登録商標)などのSOI基板を用いることも可能である。

【0111】なお、本実施例の構成は、実施例1~4のいずれの構成とも自由に組み合わせることが可能である。

【0112】[実施例6]本発明はアクティブマトリクス型ELディスプレイに適用することも可能である。その例を図16に示す。

【0113】図16はアクティブマトリクス型ELディスプレイの回路図である。81は画素回路を表しており、その周辺にはX方向駆動回路82、Y方向駆動回路83が設けられている。また、画素回路81の各画素は、スイッチ用TFT84、コンデンサ85、電流制御用TFT86、有機EL素子87を有し、スイッチ用TFT84にX方向信号線88a(または88b)、Y方向信号線89a(または89b、89c)が接続される。また、電流制御用TFT86には、電源線90a、90bが接続される。

【0114】本実施例のアクティブマトリクス型ELディスプレイでは、X方向駆動回路82、Y方向駆動回路83または電流制御用TFT86に用いられるTFTを実施例1で得られる図12のpチャネル型TFT200または202、nチャネル型TFT201または203を組み合わせて形成する。また、スイッチ用TFT84のTFTを図12のnチャネル型TFT204で形成する。

【0115】なお、本実施例のアクティブマトリクス型ELディスプレイに対して、実施例1~5のいずれの構成を組み合わせても良い。

【0116】[実施例7]実施例1の図13で示した上記アクティブマトリクス型液晶表示装置の構成を、図17の斜視図を用いて説明する。アクティブマトリクス基板(第1の基板)は、ガラス基板801上に形成された、画素部802と、ゲート側駆動回路803と、ソース側駆動回路804で構成される。画素部の画素TFT805(図13の画素TFT204に相当する)はnチャネル型TFTであり、画素電極806及び保持容量807(図13の保持容量205に相当する)に接続される。

【0117】また、周辺に設けられる駆動回路はCMOS回路を基本として構成されている。ゲート側駆動回路803と、ソース側駆動回路804はそれぞれゲート配線808とソース配線809で画素部802に接続されている。また、FPC810が接続された外部入出力端子811には駆動回路まで信号を伝達するための入出力配線(接続配線)812、813が設けられている。また、814は対向基板(第2の基板)である。

【0118】なお、本明細書中では図17に示した半導体装置をアクティブマトリクス型液晶表示装置と呼んでいるが、図17に示すようにFPCまで取り付けられた液晶パネルのことを一般的には液晶モジュールという。従って、本実施例でいうアクティブマトリクス型液晶表示装置を液晶モジュールと呼んでも差し支えない。

【0119】[実施例8]本発明を実施して形成されたTFTは様々な電気光学装置に用いることができる。即ち、それら電気光学装置を表示媒体として組み込んだ電子機器全てに本発明を実施できる。

【0120】その様な電子機器としては、ビデオカメラ、デジタルカメラ、ヘッドマウントディスプレイ(ゴーグル型ディスプレイ)、ウェアラブルディスプレイ、カーナビゲーション、パーソナルコンピュータ、携帯情報端末(モバイルコンピュータ、携帯電話または電子書籍等)などが挙げられる。それらの一例を図18に示す。

【0121】図18(A)はパーソナルコンピュータであり、本体2001、画像入力部2002、表示装置2003、キーボード2004で構成される。本願発明を画像入力部2002、表示装置2003やその他の信号

駆動回路に適用することができる。

【0122】図18(B)はビデオカメラであり、本体2101、表示装置2102、音声入力部2103、操作スイッチ2104、バッテリー2105、受像部2106で構成される。本願発明を表示装置2102、音声入力部2103やその他の信号駆動回路に適用することができる。

【0123】図18(C)はモバイルコンピュータ(モバイルコンピュータ)であり、本体2201、カメラ部2202、受像部2203、操作スイッチ2204、表示装置2205で構成される。本願発明は表示装置2205やその他の信号駆動回路に適用できる。

【0124】図18(D)はゴーグル型ディスプレイであり、本体2301、表示装置2302、アーム部2303で構成される。本発明は表示装置2302やその他の信号駆動回路に適用することができる。

【0125】図18(E)はプログラムを記録した記録媒体(以下、記録媒体と呼ぶ)を用いるプレーヤーであり、本体2401、表示装置2402、スピーカ部2403、記録媒体2404、操作スイッチ2405で構成される。なお、この装置は記録媒体としてDVD(Digital Versatile Disc)、CD等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。本発明は表示装置2402やその他の信号駆動回路に適用することができる。

【0126】図18(F)はデジタルカメラであり、本体2501、表示装置2502、接眼部2503、操作スイッチ2504、受像部(図示しない)で構成される。本願発明を表示装置2502やその他の信号駆動回路に適用することができる。

【0127】以上の様に、本願発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例の電子機器は実施例1~7のどのような組み合わせからなる構成を用いても実現することができる。

【0128】[実施例9] 本発明を実施して形成されたTFTは様々な電気光学装置に用いることができる。即ち、それら電気光学装置を表示媒体として組み込んだ電子機器全てに本発明を実施できる。

【0129】その様な電子機器としては、プロジェクター(リア型またはフロント型)などが挙げられる。それらの一例を図19に示す。

【0130】図19(A)はフロント型プロジェクターであり、表示装置2601、スクリーン2602で構成される。本発明は表示装置やその他の信号駆動回路に適用することができる。

【0131】図19(B)はリア型プロジェクターであり、本体2701、表示装置2702、ミラー2703、スクリーン2704で構成される。本発明は表示装置やその他の信号駆動回路に適用することができる。

【0132】なお、図19(C)は、図19(A)及び図19(B)中における表示装置2601、2702の構造の一例を示した図である。表示装置2601、2702は、光源光学系2801、ミラー2802、2804~2806、ダイクロイックミラー2803、プリズム2807、液晶表示装置2808、位相差板2809、投射光学系2810で構成される。投射光学系2810は、投射レンズを含む光学系で構成される。本実施例は三板式の例を示したが、特に限定されず、例えば単板式であってもよい。また、図19(C)中において矢印で示した光路に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するためのフィルム、IRフィルム等の光学系を設けてもよい。

【0133】また、図19(D)は、図19(C)中における光源光学系2801の構造の一例を示した図である。本実施例では、光源光学系2801は、リフレクター2811、光源2812、2813、2814、偏光変換素子2815、集光レンズ2816で構成される。なお、図19(D)に示した光源光学系は一例であって特に限定されない。例えば、光源光学系に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するフィルム、IRフィルム等の光学系を設けてもよい。

【0134】以上の様に、本願発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例の電子機器は実施例1~3及び実施例7のどのような組み合わせからなる構成を用いても実現することができる。ただし、本実施例におけるプロジェクターは、透過型の液晶表示装置であり、反射型の液晶表示装置には適用できないことは言うまでもない。

【0135】

【発明の効果】本発明によれば、配線のテーバー角 α が制御可能な条件、バイアスパワー及びガス流量比を適宜設定することにより、下地に対する選択比を高くとりつつ、所望のテーバー角 α を得ることができる。その結果、その配線上に形成する膜の被覆性が良好となるため、配線の欠け、断線、短絡等の不良発生を低減することができる。

【0136】また、面内分布よくエッチングすることができ、均一な配線形状が得られる。

【0137】また、本発明をコンタクトホール等の開口工程に適用することもできる。

【図面の簡単な説明】

【図1】 テーバー角 α のバイアスパワー依存性を示した図である。

【図2】 テーバー角 α とCF4の流量比依存性を示した図である。

【図3】 テーバー角 α と(W/レジスト)選択比依存性を示した図である。

【図4】 ICPエッチング装置のプラズマ生成機構

を示した図である。

【図5】 マルチスパイラルコイル方式のICPエッチング装置を示した図である。

【図6】 テーパー角 α 、 β の説明図である。

【図7】 配線の断面SEM写真図である。

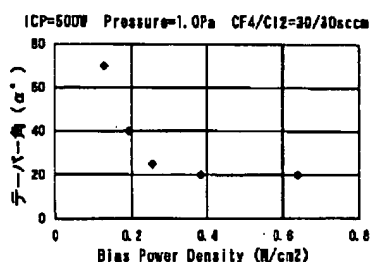
【図8】 配線の断面SEM写真図である。

【図9】 エッチングレート及び(W/レジスト)選択比のバイアスパワー依存性を示した図である。

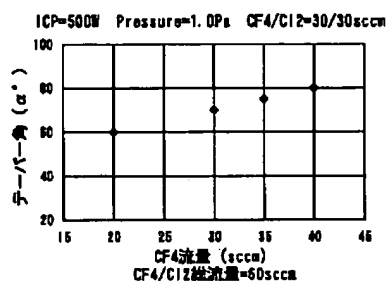
【図10】 エッチングレート及び(W/レジスト)選択比のCF₄流量比依存性を示した図である。

【図11】 エッチングレート及び(W/レジスト)選択比のICPパワー依存性を示した図である。

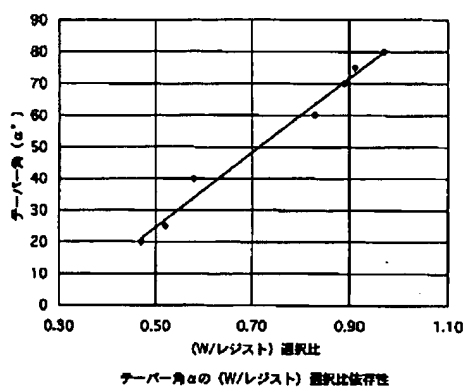
【図1】

配線の断面形状（テーパー角 α ）のBias POWER依存性

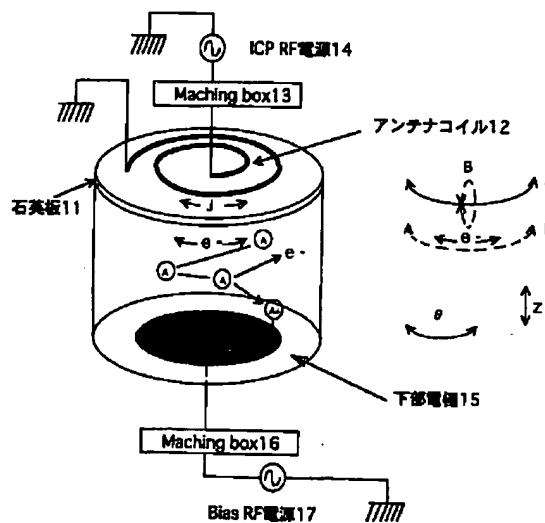
【図2】

配線の断面形状（テーパー角 α ）のCF₄流量比依存性

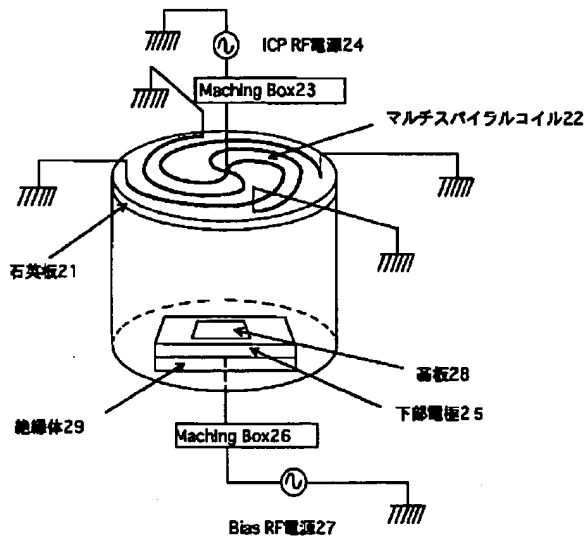
【図3】

テーパー角 α の(W/レジスト) 選択比依存性

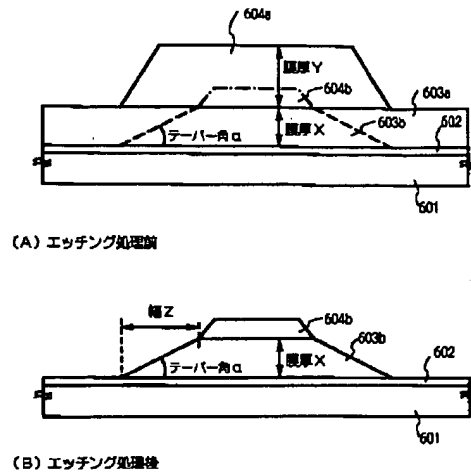
【図4】



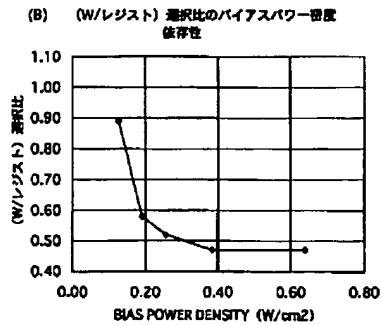
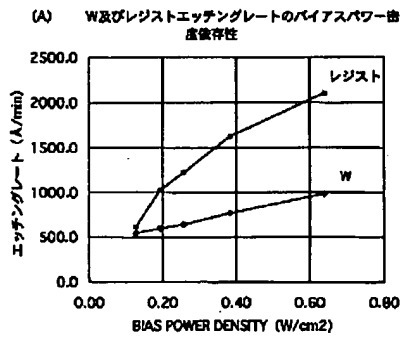
【図5】



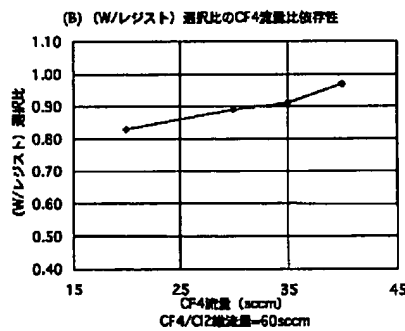
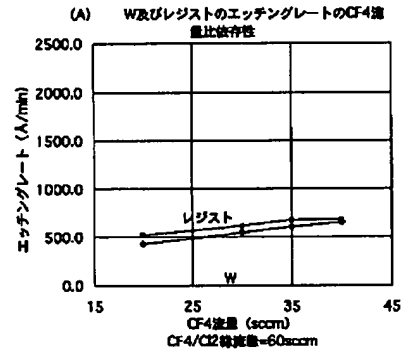
【図6】



【図9】



【図10】

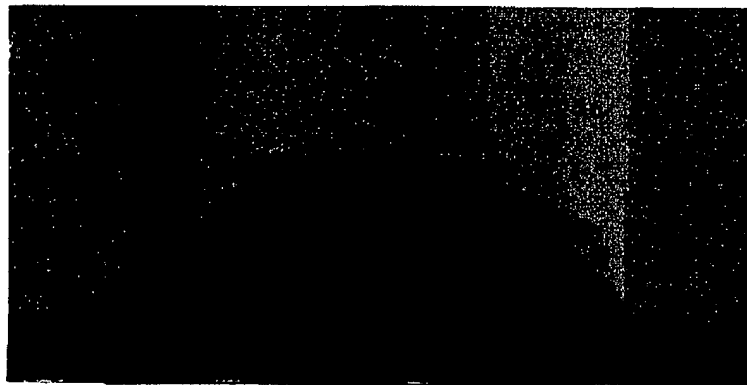


【図7】



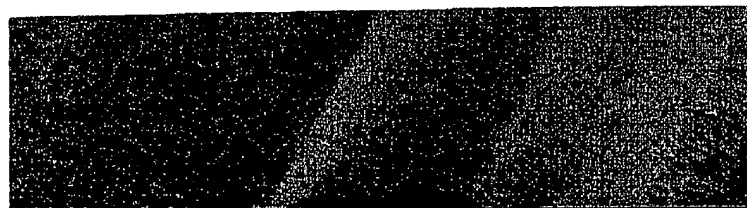
Bias Power:20W

(A) SEM観察写真

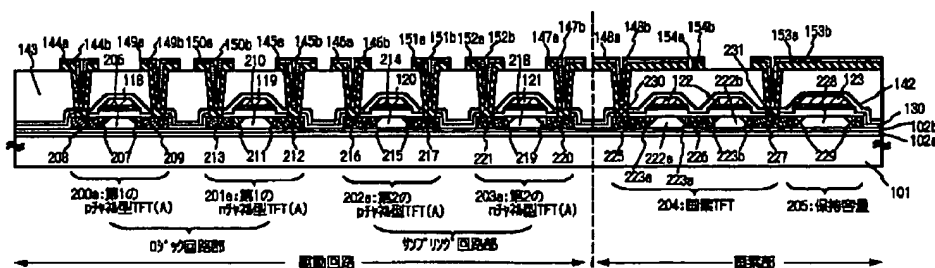


Bias Power:30W

(B) SEM観察写真



【図12】

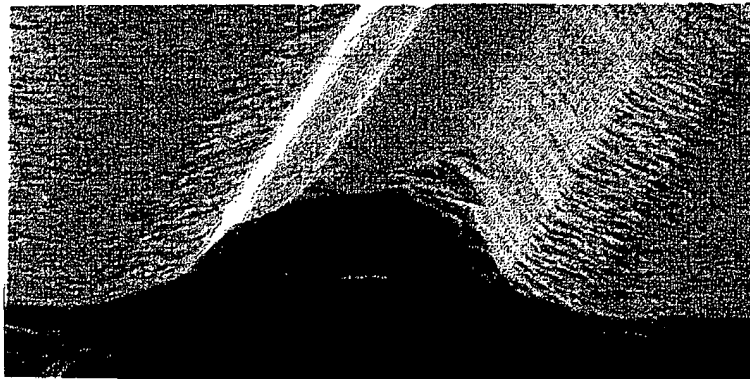


【図8】



Bias Power:60W

(A) SEM観察写真

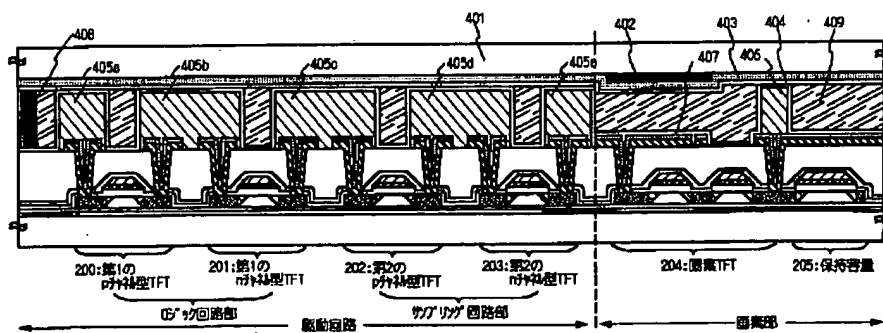


Bias Power:100W

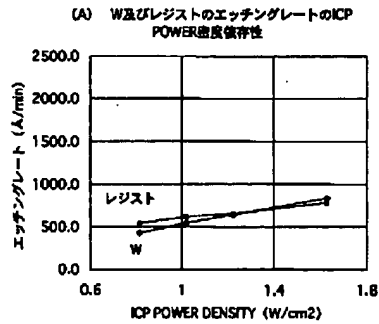
X15.0K 2.00um

(B) SEM観察写真

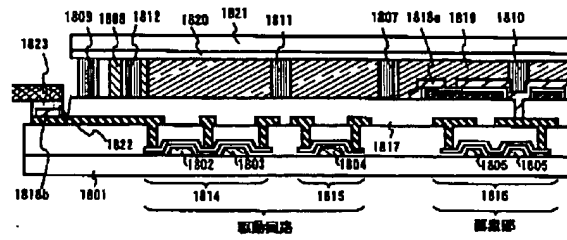
【図13】



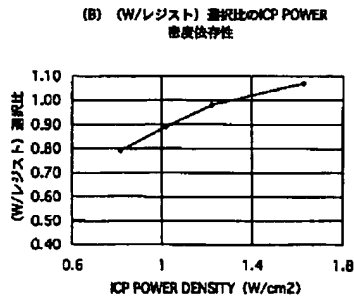
【図11】



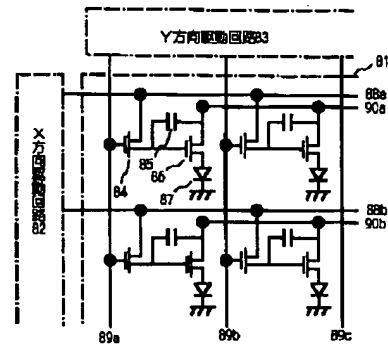
【図14】



【図16】

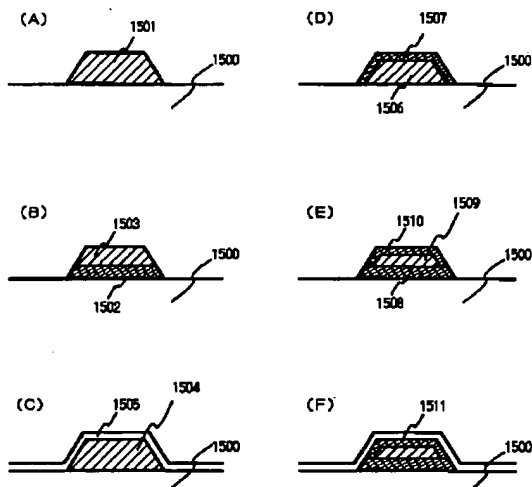


EL/パルシ回路図

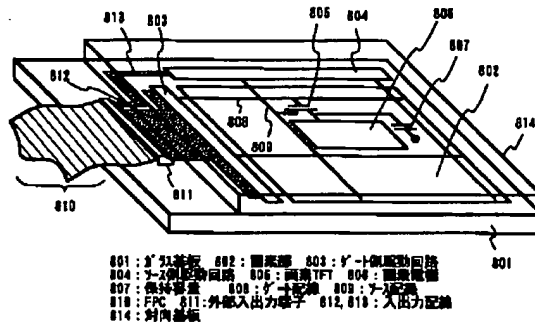


81:表示領域 82:X方向駆動回路 83:Y方向駆動回路
 84:1/2分用TFT 85:60Hz信号 86:電源線用TFT 87:有機EL素子
 88a, 88b:X方向信号線 89a~89c:Y方向信号線 90a, 90b:電源線

【図15】

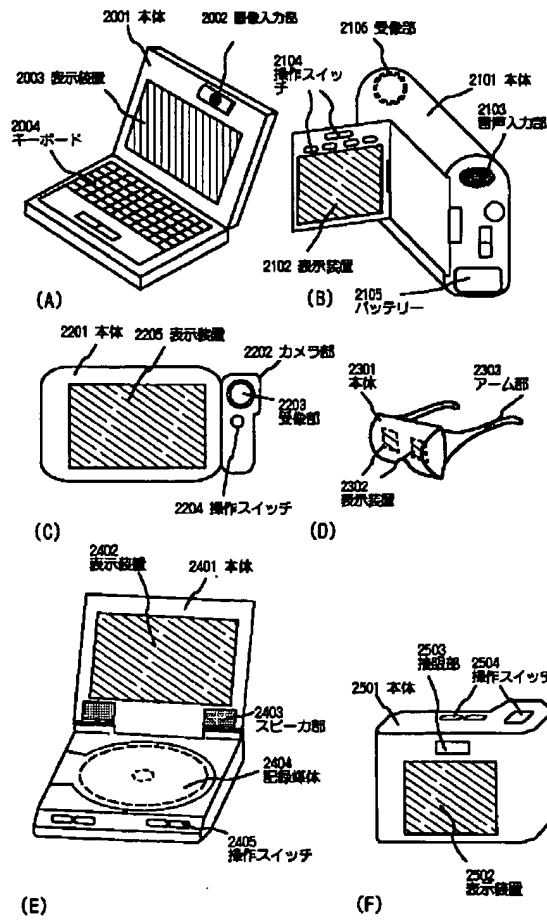


【図17】

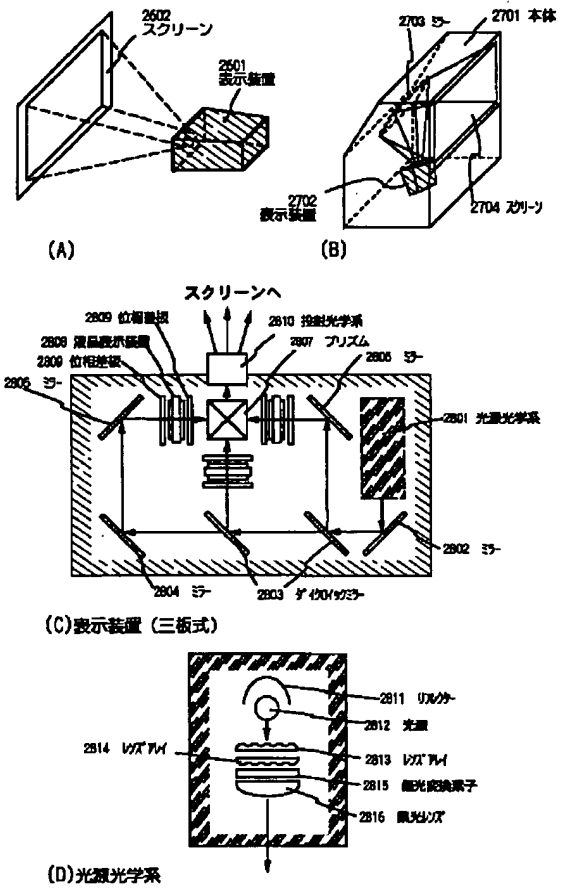


801: 2nd基板 802: 電極部 803: Y方向駆動回路
 804: Y方向駆動回路 805: 電源TFT 806: 電源線
 807: 有機EL素子 808: Y方向信号線 809: Y方向信号線
 810: FPC 811: 外部入出力端子 812, 813: 入出力配線
 814: 封入基板

【図18】



【図19】



*** NOTICES ***

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] The invention in this application relates to the semiconductor device which has the circuit which consisted of thin film transistors (henceforth TFT), and its production approach. For example, it is related with the electronic equipment which carried as components the electro-optic device and such an electro-optic device which are represented by the liquid crystal display panel.

Especially this invention relates to the semiconductor device equipped with wiring of the dry etching method which etches a metal thin film, and the taper configuration acquired by the dry etching method.

[0002] In addition, a semiconductor device points out the equipment at large which may function by using a semi-conductor property into this specification, and all of an electro-optic device, a semiconductor circuit, and electronic equipment are semiconductor devices.

[0003]

[Description of the Prior Art] In recent years, the technique which constitutes a thin film transistor (TFT) using the semi-conductor thin film (number of thickness - about hundreds of nm) formed on the substrate which has an insulating front face attracts attention. A thin film transistor is widely applied to an electron device like IC or an electro-optic device, and development is hurried especially as a switching element of an image display device.

[0004] Conventionally, aluminum is used abundantly from electrical resistivity, chemical resistance, etc. in the ease of carrying out of processing at the wiring material of TFT. However, when aluminum was used for wiring of TFT, formation of projections, such as a hillock and a whisker, and the diffusion to the channel formation field of an aluminum atom had caused the malfunction of TFT, and the fall of a TFT property by heat treatment. Therefore, as wiring materials other than aluminum, the specific resistance of bulk is comparatively as low as 5.5micro ohm-cm, and a heat-resistant high tungsten (W) is mentioned as a desirable ingredient.

[0005] Moreover, the demand to ultra-fine processing technology is becoming still severer in recent years. Especially in the liquid crystal display, control of very severe line breadth is called for with the high selection ratio in the processing process of wiring with highly-minute-izing and big-screen-izing.

[0006] Generally processing of wiring can be performed by the wet etching which uses a solution, or the dry etching using gas. However, when wet etching takes into consideration detailed-izing of wiring, repeatability reservation, reduction of trash, and reduction of cost, since it is disadvantageous, processing of wiring is considered toward dry etching.

[0007] In case a tungsten (W) was processed by the dry etching method, as etching gas used, the mixed gas of SF₆ and Cl₂ was common. When this mixed gas was used, while an etching rate is large and micro processing in a short time was possible, it was difficult to acquire a desired taper configuration. Since the coverage of the cascade screen formed after wiring is improved, depending on device structure, the cross section of wiring may be intentionally made into a forward tapered shape.

[0008]

[Problem(s) to be Solved by the Invention] Then, the technical problem of this invention offers the dry

etching approach which carries out patterning of the etched layer which consists of a tungsten (W) or a tungsten compound so that the cross section may serve as a forward tapered shape configuration. Moreover, in such a dry etching approach, it does not call at the location of an etched layer, but the approach of being a uniform cone angle and controlling the cone angle of arbitration is offered. In addition, the semiconductor device using wiring which has the cone angle of the arbitration obtained by the above-mentioned approach, and its production approach are offered.

[0009]

[Means for Solving the Problem] The configuration of invention about wiring indicated on these specifications is wiring which consists of the tungsten film, metallic-compounds film which uses a tungsten compound as a principal component, or metal alloy film which uses a tungsten alloy as a principal component, and is characterized by being the range whose taper angle α is 5 degrees - 85 degrees.

[0010] Moreover, the configuration of other invention about wiring has the laminated structure which carried out the laminating of the tungsten film, the metallic-compounds film which uses a tungsten compound as a principal component, or the thin film chosen from the metal alloy film which uses a tungsten alloy as a principal component, and is wiring which is the range whose taper angle α is 5 degrees - 85 degrees.

[0011] Moreover, in each above-mentioned configuration, said metal alloy film is characterized by being the alloy film of a kind of element or two or more sorts of elements which were chosen from Ta, Ti, Mo, Cr, Nb, and Si, and a tungsten.

[0012] Moreover, in each above-mentioned configuration, said metallic-compounds film is characterized by being the nitride film of a tungsten.

[0013] Moreover, in each above-mentioned configuration, in order to raise adhesion, it is good also as a configuration which prepares the silicon film (for example, phosphorus dope silicon film, boron dope silicon film, etc.) which has conductivity in the lowest layer.

[0014] Moreover, the configuration of invention about a semiconductor device is the semiconductor device which consisted of the tungsten film, metallic-compounds film which uses a tungsten compound as a principal component, or metal alloy film which uses a tungsten alloy as a principal component, and was equipped with wiring which is the range whose taper angle α is 5 degrees - 85 degrees.

[0015] Moreover, the configuration of other invention about a semiconductor device is the semiconductor device which has the laminated structure which carried out the laminating of the tungsten film, the metallic-compounds film which uses a tungsten compound as a principal component, or the thin film chosen from the metal alloy film which uses a tungsten alloy as a principal component, and was equipped with wiring which is the range whose taper angle α is 5 degrees - 85 degrees.

[0016] Moreover, in each configuration about the above-mentioned semiconductor device, said wiring is characterized by being gate wiring of TFT.

[0017] Moreover, the configuration of invention about the production approach of wiring is the production approach of wiring of having the process which forms a metal thin film on the substrate film, the process which forms a resist pattern on said metal thin film, and the process which forms wiring by which it etched into the metal thin film which has said resist pattern, and the taper angle α was controlled according to bias power density.

[0018] Moreover, the configuration of other invention about the production approach of wiring is the production approach of wiring of having the process which forms wiring by which the taper angle α was controlled according to the flow rate of the process which forms a metal thin film on the substrate film, the process which forms a resist pattern on said metal thin film, and the reactant gas which etches into the metal thin film which has said resist pattern, and contains a fluorine.

[0019] Moreover, in each configuration about the production approach of the above-mentioned wiring, said etching is characterized by the selection ratio of said substrate film in said etching gas and said metal thin film being larger than 2.5 using the etching gas which is the mixed gas of the 1st reactant gas containing a fluorine, and the 2nd reactant gas containing chlorine.

[0020] Moreover, in each configuration about the production approach of the above-mentioned wiring,

said metal thin film is characterized by being the tungsten film, the metallic-compounds film which uses a tungsten compound as a principal component, the thin films which were chosen from the metal alloy film which uses a tungsten alloy as a principal component, or those cascade screens.

[0021] Moreover, the configuration of invention about the dry etching approach is the dry etching approach that etching gas removes the request part of the tungsten film, the metallic-compounds film which uses a tungsten compound as a principal component, or the thin film chosen from the metal alloy film which uses a tungsten alloy as a principal component, and said etching gas is the dry etching approach characterized by being the mixed gas of the 1st reactant gas containing a fluorine, and the 2nd reactant gas containing chlorine.

[0022] Moreover, in the configuration of invention about the above-mentioned dry etching approach, said 1st reactant gas is characterized by being gas chosen from CF₄, C₂F₆, or C₄F₈.

[0023] Moreover, in the configuration of invention about the above-mentioned dry etching approach, said 2nd reactant gas is characterized by being gas chosen from Cl₂, SiCl₄, or BCl₃.

[0024] Moreover, in the configuration of invention about the above-mentioned dry etching approach, it is characterized by performing dry etching using an ICP etching system.

[0025] Moreover, in the configuration of invention about the above-mentioned dry etching approach, it is characterized by controlling the taper angle alpha by adjusting the bias power density of said ICP etching system.

[0026] Moreover, the configuration of other invention about the dry etching approach is the dry etching approach characterized by controlling the taper angle of inside side attachment walls, such as a hole and a slot, formed of etching according to bias power density.

[0027] Moreover, the configuration of other invention about the dry etching approach is the dry etching approach characterized by controlling the taper angle of inside side attachment walls, such as a hole and a slot, formed of etching according to the flow rate of gas.

[0028]

[Embodiment of the Invention] The operation gestalt of the invention in this application is explained below using drawing 1 - drawing 8.

[0029] In this invention, the ICP (Inductively Coupled Plasma) etching system which uses the high density plasma was used. If it explains simple, an ICP etching system is combining RF power in the plasma inductively by the low voltage force, will attain the plasma consistency of three or more [1011 //cm], and will perform processing of a high selection ratio and a high etching rate.

[0030] First, an ICP dry etching system plasma production device is explained to a detail using drawing 4.

[0031] Simple structural drawing of an etching chamber is shown in drawing 4. Antenna coil 12 is arranged on the quartz plate 11 of the chamber upper part, and it connects with the RF power source 14 through the matching box 13. Moreover, the RF power source 17 is connected also to the lower electrode 15 by the side of the substrate arranged at opposite through the matching box 16.

[0032] If RF current is impressed to the antenna coil 12 of the substrate upper part, the RF current J will flow in the direction of theta to antenna coil 12, and Field B will occur in a Z direction.

[0033]

[Equation 1]

$$\mu_0 J = r \otimes t B$$

[0034] According to Faraday's law of induction, induction field E arise in the direction of theta.

[0035]

[Equation 2]

$$-\frac{\partial B}{\partial t} = r \otimes t E$$

[0036] An electron is accelerated in the direction of theta by this induction field E, it collides with a gas

molecule, and the plasma is generated. Since the direction of induction field is the direction of theta, the probability for a charged particle to collide with an etching chamber wall and a substrate, and to disappear a charge becomes low. Therefore, the plasma of high density can be generated also by the about 1Pa low voltage force. Moreover, to a lower stream of a river, since there is almost no field B, it becomes the high density plasma field which spread in the shape of a sheet.

[0037] It is possible to control independently a plasma consistency and an auto-bias electrical potential difference by adjusting RF power impressed to each of the lower electrode 15 (bias power is impressed) by the side of antenna coil 12 (ICP power is impressed) and a substrate. Moreover, it also becomes possible to change the frequency of RF power impressed according to the ingredient of a processed material.

[0038] In order to pass the RF current J which flows to antenna coil 12 in order to acquire the high density plasma by the ICP etching system by low loss and to large-area-ize it, the inductance of antenna coil 12 must be reduced. Therefore, the ICP etching system of the multi-spiral coil 22 which divided the antenna as shown in drawing 5 was developed. As for a quartz plate, and 23 and 26, a matching box, and 24 and 27 is [21 in drawing 5] RF power sources. Moreover, the lower electrode 25 holding a substrate 28 is formed in the pars basilaris ossis occipitalis of a chamber through the insulator 29. If the etching system using ICP which applied such a multi-spiral coil is used, said heat-resistant conductivity ingredient can be etched good.

[0039] this invention people conducted a swing and some experiments for etching conditions using the ICP etching system (Matsushita Electric Industrial make: E645) of this multi-spiral coil method.

[0040] First, the etching sample used for the experiment is explained. The substrate film (200nm) which consists of nitriding silicon oxide film was formed on the insulating substrate (1737 substrates), and the metal cascade screen was formed by the spatter on it. Here, purity used the tungsten target 6Ns or more. Moreover, what is necessary is just to use simple substance gas or those mixed gas, such as an argon (Ar), a krypton (Kr), and a xenon (Xe), as sputtering gas. In addition, an operation person should just control suitably membrane formation conditions, such as spatter power, a pressure of gas, and substrate temperature.

[0041] This metal cascade screen has the nitriding tungsten film (thickness; 30nm) shown in a lower layer by WN_x (however, $0 < x < 1$), and has the tungsten film (370nm) in the upper layer.

[0042] In this way, as for the metal cascade screen obtained, an impurity element can hardly be contained, but especially the content of oxygen can be set to 30 ppm or less, and, typically, electrical resistivity can be made into 6micro - 15micro ohm-cm below 20micro ohm-cm. Moreover, membranous stress can be made into -5×10^9 - 5×10^9 dyn/cm².

[0043] In addition, into this specification, the nitriding silicon oxide film is an insulator layer expressed with SiO_xNy , and points out the insulator layer which contains silicon, oxygen, and nitrogen at a predetermined rate.

[0044] The patterning experiment of a metal cascade screen was conducted for this etching sample using the ICP etching system of a multi-spiral coil method. In addition, in case dry etching is performed, it is needless to say to form the resist mask pattern (thickness: 1.5 micrometers) which carried out patterning to the desired configuration using the resist.

[0045] The type section Fig. of the etching sample before etching processing was shown in drawing 6 (A). For 601, a substrate and 602 are [a metal cascade screen (X= 400nm of thickness), and 604a and 604b of the substrate film, and 603a and 603b] resist mask patterns (Y= 1.5 micrometers of thickness) among drawing 6 (A). Moreover, drawing having shown the condition after etching processing is drawing 6 (B).

[0046] In addition, into this specification, a taper angle means the angle alpha which the taper section (ramp) of the cross-section configuration of wiring 603 and the front face of the substrate film 602 make, as shown at drawing 6 (B). Moreover, a taper angle can be defined as $\tan \alpha = X/Z$ using the width of face Z and Thickness X of the taper section.

[0047] this invention people observed the swing and the cross-section configuration of wiring for various dry etching conditions.

[0048] Experiment 1 drawing 1 is drawing having shown the bias power dependency of the taper angle alpha. 13.56MHz bias power was experimented by making it 0.128, 0.192, 0.256, 0.384, and 0.64 in 20W, 30W, 40W, 60W, and 100W (W/cm²), i.e., bias power density. In addition, a lower electrode is 12.5cmx12.5cm. Moreover, resist thickness is [1.0Pa and the gas presentation of 1.5 micrometers and gas pressure] CF₄/Cl₂=30 / 30sccm (however, sccm expresses the volumetric flow rate (a part for cm³/) in reference condition). Moreover, ICP power is 500W and ICP power density is 1.02 W/cm². However, in this specification, the value which broke ICP power by IPC area area (diameter of 25cm) is made into ICP power density (W/cm²).

[0049] Drawing 1 shows that the taper angle alpha of wiring becomes small, so that bias power density is high. Moreover, alpha= 5 degrees - 85 degrees (preferably the range of 20 degrees - 70 degrees) of desired taper angles can be formed by only adjusting bias power density.

[0050] The cross-section SEM photograph when setting bias power to 20W (bias power density; 0.128 W/cm²) In addition, drawing 7 (A), The cross-section SEM photograph when setting bias power to 30W (bias power density; 0.192 W/cm²) Drawing 7 (B), The cross-section SEM photograph when setting bias power to 40W (bias power density; 0.256 W/cm²) Drawing 7 (C), The cross-section SEM photograph when setting the cross-section SEM photograph when setting bias power to 60W (bias power density; 0.384 W/cm²) into drawing 8 (A), and setting bias power to 100W (bias power density; 0.64 W/cm²) was shown in drawing 8 (B), respectively. It can observe being formed in the range whose taper angle alpha is 20 degrees - 70 degrees from each SEM photograph shown in drawing 7 and drawing 8, and it turns out that the taper angle alpha is controllable by changing bias power density.

[0051] The selection ratio of a tungsten and a resist becomes small and this is considered for the retreat phenomenon of a resist to arise.

[0052] Experiment 2 and drawing 2 are drawings having shown the flow rate dependency of the taper angles alpha and CF₄. It experimented by setting a gas presentation ratio to CF₄/Cl₂=20/40sccm, 30/30sccm, and 40/20sccm. Gas pressure is [0.128W / of 2 and resist thickness of 1.0Pa and bias power density / cm] 500W (ICP power density; 1.02 W/cm²) about 1.5 micrometers and ICP power.

[0053] It turns out that the selection ratio of a tungsten and a resist becomes large by drawing 2, so that the flow rate of CF₄ is large, and the taper angle alpha of wiring becomes large. Moreover, the dry area of a substrate also decreases. It is becoming the increase of flow rate of CF₄ (decrease of Cl₂ flow rate) about the dry area of a substrate, and it is considered as a cause that the etching anisotropy became weaker. Moreover, alpha= 5 degrees - 85 degrees (preferably the range of 60 degrees - 80 degrees) of desired taper angles can be formed by only adjusting the flow rate of CF₄.

[0054] Experiment 3 and 13.56MHz ICP power were experimented by making it 0.82, and 1.02 and 1.22 in 400W, 500W, and 600W, i.e., ICP power density. For bias power, 20W (bias power density; 0.128 W/cm²) and resist thickness are [1.0Pa and the gas presentation of 1.5 micrometers and gas pressure] CF₄/Cl₂=30/30sccm.

[0055] Although the etching rate of a tungsten becomes large as ICP power density becomes large, etching rate distribution worsens. Moreover, especially change of a taper angle was not seen.

[0056] It experimented by setting experiment 4 and gas pressure to 1.0Pa and 2.0Pa. For ICP power, 500W (ICP power density; 1.02 W/cm²) and a gas presentation are [20W (bias power density; 0.128 W/cm²) and the resist thickness of CF₄/Cl₂=30/30sccm, and bias power] 1.5 micrometers.

[0057] The etching rate of a tungsten becomes early and an anisotropy also becomes strong as it becomes a high vacuum. Moreover, in 2.0Pa, it became an inverse tapered shape configuration.

[0058] It experimented by setting experiment 5 and the total flow of etching gas to 60sccm(s) and 120sccm. For 1.0Pa and ICP power, 500W (ICP power density; 1.02 W/cm²) and a gas presentation are [gas pressure / 20W (bias power density; 0.128W/cm²) and the resist thickness of CF₄/Cl₂=30/30sccm, and bias power] 1.5 micrometers.

[0059] As for the rate, the way with much total flow of etching gas became large a little.

[0060] Since a taper angle is mainly influenced by bias power density conditions from the above-mentioned experimental result, it is thought that it is dependent on the selection ratio of a tungsten and a resist. The dependency of a tungsten, the selection ratio of a resist, and a taper angle was shown in

drawing 3

[0061] If change of bias power density influences the selection ratio of a tungsten and a resist greatly and enlarges bias power density rather than the etching rate of a tungsten, the selection ratio of a tungsten and a resist will tend to fall. The tungsten and the bias power density dependency of the etching rate of a resist were shown in drawing 9 (A), and the bias power density dependency of the selection ratio of a tungsten and a resist was shown in drawing 9 (B).

[0062] That is, since a resist is also etched at the same time it etches a tungsten, as shown in drawing 6 (A) and drawing 6 (B), if the selection ratio of a tungsten and a resist is large, a taper angle will become large, and a taper angle will become small if the selection ratio of a tungsten and a resist is small.

[0063] Moreover, if CF₄ gas-stream quantitative ratio is similarly made small, the selection ratio of a tungsten and a resist will tend to fall. The tungsten and CF₄ quantity-of-gas-flow ratio dependency of the etching rate of a resist were shown in drawing 10 (A), and CF₄ quantity-of-gas-flow ratio dependency of the selection ratio of a tungsten and a resist was shown in drawing 10 (B).

[0064] Moreover, the tungsten and the ICP power density dependency of the etching rate of a resist were shown in drawing 11 (A), and the ICP power density dependency of the selection ratio of a tungsten and a resist was shown in drawing 11 (B).

[0065] Moreover, although that by which the substrate film (200nm) which consists of nitriding silicon oxide film was formed on the insulating substrate as an etching sample, and the metal cascade screen (cascade screen of the nitriding tungsten film and the tungsten film) was formed on it was used in each above-mentioned experiment This invention is applicable if it is the laminated structure which carried out the laminating of the tungsten film, the metallic-compounds film which uses a tungsten compound as a principal component, the thin films which were chosen from the metal alloy film which uses a tungsten alloy as a principal component, or those thin films. However, the case where a selection ratio with the substrate film is 2.5 or less, and what has an extremely small etching rate remove. For example, a selection ratio with the substrate film (SiO_xN_y) is about 1.5 or less, and since the etching rate is as small as about 50 nm/min, the W-Mo alloy film (it has the weight % ratio of W:Mo=52:48) is not suitable from a viewpoint of workability.

[0066] Here, although W film was shown as an example, if an ICP etching system is used about the heat-resistant conductivity ingredients (Ta, Ti, Mo, Cr, Nb, Si, etc.) generally known, the edge of a pattern is easily processible as a taper configuration. For example, 6-8 are chosen also for a selection ratio by 140 - 160 nm/min, and the etch rate of Ta film serves as the etch rate 70 of W film - 90 nm/min, and a value that was excellent to selection ratios 2-4. Therefore, although Ta film is also suitable from a viewpoint of workability, as a value which is not shown in front Naka, the resistivity of Ta film is 20 - 30microomegacm, and a point high a little turns into a difficulty compared with the resistivity of W film being 10 - 16microomegacm.

[0067] Moreover, although the mixed gas of CF₄ (carbon tetrafluoride gas) and Cl₂ gas was used as etching gas used for the above-mentioned dry etching, it is also possible to use the mixed gas of the reactant gas containing the fluorine which was not limited especially, for example, was chosen from C₂F₆ or C₄F₈, and the gas containing the chlorine chosen from Cl₂, SiCl₄, or BCl₃.

[0068] Moreover, if it is the case where especially the etching conditions of this invention were not limited, for example, carbon tetrafluoride gas (CF₄) and chlorine (Cl₂) are used using an ICP etching system (Matsushita Electric Industrial make: E645) etching gas total-flow: -- 60 - 120sccm etching gas flow rate: -- CF₄/Cl₂=30/30sccm - 50 / 10sccm gas pressure (pressure of etching gas ambient atmosphere): -- 1.0Pa - 2.0PaICP power density: -- 0.61W/cm² - 2.04W/cm² (ICP power : 300W - 1000W) and a frequency 13MHz - 60MHz bias power density : 0.064 W/cm² - 3.2 W/cm² (bias power: 10W-500W), and a frequency 100kHz - 60MHz -- desirable -- 6MHz - 29MHz substrate temperature: -- it is 70 degrees C **10 degrees C preferably, and an operation person should just determine suitably 0 degree C - 80 degrees C of etching conditions within the limits of this.

[0069] In addition, into this specification, "electrodes" is some "wiring" and points out the part which performs electrical installation with other wiring, or the part which intersects a semi-conductor layer. Therefore, for convenience, although "wiring" and an "electrode" are used properly, "wiring" shall

always be included in the **** an "electrode" of explanation.

[0070] Suppose that still more detailed explanation is given about the invention in this application which becomes with the above configuration as it is also at the example shown below.

[0071]

[Example] The example of [example 1] this invention is explained using drawing 12 and drawing 13. Here, the active-matrix substrates which produced to coincidence TFT of the drive circuit prepared around the pixel section are explained to be the pixel TFT of the pixel section, and retention volume.

[0072] The structure of this example has TFT on the substrate 101 which has an insulating front face, as shown in drawing 12. It is desirable to use a glass substrate and a quartz substrate for a substrate 101. In addition, it is good also considering the thing in which the insulator layer was formed on the front face of a silicon substrate, a metal substrate, or a stainless steel substrate, as a substrate. If thermal resistance allows, it is also possible to use a plastic plate.

[0073] In the front face in which TFT of this substrate 101 is formed, it has the substrate film 102 which consists of an insulator layer (the generic name of the silicon oxide film, a silicon nitride film, or the nitriding silicon oxide film is pointed out in this specification) containing silicon (silicon). For example, laminating formation of the 10-200nm (preferably 50-100nm) oxidation nitriding hydrogenation silicon film 102b similarly produced from SiH₄, N₂O, and H₂ in oxidation silicon nitride film 102a produced from SiH₄, NH₃, and N₂O was carried out by the plasma-CVD method at the thickness of 50-200nm (preferably 100-150nm). Although the substrate film 102 was shown as two-layer structure here, a laminating may be carried out the monolayer of said insulator layer, or more than two-layer, and you may form.

[0074] Moreover, on the substrate film 102, it has the barrier layer of TFT. What performed patterning was used for the crystalline semi-conductor film which was made to crystallize the semi-conductor film which has amorphous structure as this barrier layer, and was obtained. What is necessary is just to apply the crystallizing method using a catalyst element according to the technique indicated as the crystallization approach by the well-known technique, for example, the laser annealing method and the heat annealing method (solid phase grown method), the RAPITTO thermal annealing method (RTA law), or JP,7-130652,A. In addition, there are amorphous semiconductor film and microcrystal semi-conductor film as semi-conductor film which has amorphous structure, and the compound semiconductor film which has the amorphous structure of the amorphous silicon germanium film etc. may be applied to it.

[0075] It formed by the insulator layer which wrap gate dielectric film 130 sets thickness to 40-150nm for the barrier layer of Above TFT using a plasma-CVD method or a spatter, and contains silicon. At this example, it formed from the oxidation silicon nitride film by the thickness of 120nm. Moreover, since the fixed density of electric charge in the film is reduced, the oxidation silicon nitride film which SiH₄ and N₂O were made to add O₂, and was produced serves as a desirable ingredient to this application. Of course, gate dielectric film is not limited to such an oxidation silicon nitride film, and may use the insulator layer containing other silicon as a monolayer or a laminated structure.

[0076] The gate electrodes 118-122 and the capacity electrode 123 which were formed on the above-mentioned gate dielectric film have the structure which carried out the laminating of the conductive layer (A) which consists of a conductive nitride metal membrane, and the conductive layer (B) which consists of a metal membrane using the heat-resistant conductivity ingredient. What is necessary is just to form a conductive layer (B) by the alloy which uses as a component the element chosen from Ta, Ti, and W, or said element, and the alloy film which combined said element. At this example, by the spatter using W target whose purity is 6Ns, patterning of the electric conduction cascade screen which introduced Ar gas and nitrogen (N₂) gas, formed the conductive layer (A) in the thickness of 50nm by WN film, and formed the conductive layer (B) in the thickness of 250nm by W film was carried out, and the gate electrodes 118-122 and the capacity electrode 123 were completed. In addition, it etches so that the taper section may be formed in the edge of the gate electrodes 118-123. An ICP etching system performs this etching processing. The detail of the technique is as having been shown in the gestalt of implementation of invention. In this example, the mixed gas of CF₄ and Cl₂ was used for etching gas,

and by setting the flow rate to 30sccm(s), 3.2 W/cm² (frequency: 13.56MHz) was performed for ICP power density, and it etched considering bias power density as 0.224 W/cm² (frequency: 13.56MHz) and 1.0Pa of gas pressure, respectively. By considering as such etching conditions, in the edge of the gate electrodes 118-122 and the capacity electrode 123, the taper section which thickness increases from this edge gradually toward the inside was formed, and 25-35 degrees of the include angle were able to be preferably made into 30 degrees.

[0077] In addition, since over etching which increases etching time at about 10 - 20% of a rate in order to etch without leaving residue, in case the gate electrodes 118-122 which have this taper configuration, and the capacity electrode 123 are formed was given, gate dielectric film 130 has the part which became thin substantially.

[0078] Moreover, in this example, in order to form a desired LDD field, the impurity element which gives n mold or p mold to an edge in self align by using as a mask the gate electrodes 118-122 which have the taper section was added to the barrier layer by the ion doping method. Moreover, suitably, in order to form a desired LDD field, the impurity element which gives n mold or p mold by using a resist pattern as a mask was added to the barrier layer by the ion doping method.

[0079] In this way, it has structure with the channel formation field 206, the LDD field 207 which laps with a gate electrode, the source field 208 which consists of a high concentration p mold impurity range, and the drain field 209 at 1st p channel mold TFT(A)200a of a drive circuit at the barrier layer. In 1st n channel mold TFT(A)201a, it has the LDD field 211 which is formed in a barrier layer in the channel formation field 210 and a low concentration n mold impurity range, and laps with the gate electrode 119, the source field 212 formed in a high concentration n mold impurity range, and the drain field 213. 0.1-1.5 micrometers of the channel length lay length are preferably set to 0.3-0.8 micrometers to 3-7 micrometers of channel length by setting to Lov the LDD field which laps with the gate electrode 119. This die length of Lov is controlled from the thickness of the gate electrode 119, and the include angle of the taper section.

[0080] Moreover, 2nd p channel mold TFT(A)202a of a drive circuit has similarly structure with the channel formation field 214, the LDD field 215 which laps with the gate electrode 120, the source field 216 formed in a high concentration p mold impurity range, and the drain field 217 at the barrier layer. It has the channel formation field 218, the LDD field 219 which laps with the gate electrode 121, the source field 220 formed in a high concentration n mold impurity range, and the drain field 221 in the barrier layer at 2nd n channel mold TFT(A)203a. The LDD field 219 is considered as the same configuration as the LDD field 211. In the pixel TFT204, it has the source or the drain fields 225-227 which are formed in a barrier layer in the channel formation fields 222a and 222b, the LDD fields 223a and 223b formed in a low concentration n mold impurity range, and a high concentration n mold impurity range. The LDD fields 223a and 223b are considered as the same configuration as the LDD field 211. Furthermore, retention volume 205 is formed from the capacity wiring 123, gate dielectric film, and the semi-conductor layers 228 and 229 linked to the drain field 227 of a pixel TFT204. Although the n channel mold TFT and the p channel mold TFT of a drive circuit were made into the structure of a single gate where one gate electrode was prepared between the source drains of a pair and Pixel TFT was made into double-gate structure in drawing 12, each of these TFT(s) is good as single gate structure, and does not interfere as multi-gate structure where two or more gate electrodes were prepared between the source drains of a pair.

[0081] Moreover, a gate electrode and gate dielectric film 130 are covered, and it has the protection insulator layer 142. What is necessary is just to form a protection insulator layer by the silicon oxide film, the oxidation silicon nitride film, the silicon nitride film, or the cascade screen that combined these.

[0082] Moreover, it has the interlayer insulation film 143 which covers the protection insulator layer 142 and consists of an organic insulating material ingredient. As an organic resin ingredient, polyimide, an acrylic, a polyamide, polyimidoamide, BCB (benz-cyclo-butene), etc. can be used.

[0083] Moreover, it has the source wiring or drain wiring which touches the source field or drain field formed in each barrier layer through the contact hole on the interlayer insulation film 143. In addition,

source wiring or drain wiring has the laminated structure of Ti shown by 144a-154a, the cascade screen of aluminum, and the transparency electric conduction film shown by 144b-154b. Moreover, the drain wiring 153a and 153b functions as a pixel electrode. It is the ingredient with which the indium oxide zinc-oxide alloy (In₂O₃-ZnO) and the zinc oxide (ZnO) also fitted the transparency electric conduction film, and in order to raise the permeability and conductivity of the light further, the zinc oxide (ZnO:Ga) which added the gallium (Ga) can be used suitably.

[0084] The above configurations optimize the structure of TFT which constitutes each circuit according to the specification which Pixel TFT and a drive circuit require, and make it possible to raise the engine performance of operation and dependability of a semiconductor device. Activation of a LDD field, a source field, and a drain field is made easy by forming with the conductive ingredient which furthermore has thermal resistance as a gate electrode.

[0085] Furthermore, in case the LDD field which laps with a gate electrode through gate dielectric film is formed, it can be expected that an electric-field relaxation effect [/ especially near the drain field] will increase by giving a concentration gradient to the impurity element added in order to control a conductivity type, and forming a LDD field.

[0086] Moreover, the active-matrix substrate shown in drawing 12 is applicable to the liquid crystal display of a reflective mold as it is.

[0087] Next, the active matrix liquid crystal display which applied the active-matrix substrate shown in drawing 12 is explained using drawing 13.

[0088] first, spacer 405a- of the shape of a column acquired by carrying out patterning of the resin film on a active-matrix substrate -- 405e and 406 are formed. Moreover, what is necessary is just to determine arrangement of a spacer as arbitration. In addition, the approach of sprinkling and preparing a several micrometers particle is sufficient as a spacer.

[0089] Subsequently, in order to carry out orientation of the liquid crystal to the pixel section of a active-matrix substrate, the orientation film 407 which consists of polyimide resin etc. is formed. After forming the orientation film, it was made to carry out orientation with the fixed pre tilt angle which performs rubbing processing and has a liquid crystal molecule.

[0090] A light-shielding film 402, the transparency electric conduction film 403, and the orientation film 404 are formed in the opposite substrate 401 by the side of opposite. A light-shielding film 402 forms Ti film, Cr film, aluminum film, etc. by the thickness of 150-300nm. And the pixel section, the active-matrix substrate with which the drive circuit was formed, and an opposite substrate are stuck by the sealing compound 408.

[0091] Then, the liquid crystal ingredient 409 is poured in among both substrates. What is necessary is just to use a well-known liquid crystal ingredient for a liquid crystal ingredient. For example, the non-threshold antiferroelectricity liquid crystal mixture in which the electro-optics responsibility from which the permeability other than TN liquid crystal changes continuously to electric field is shown can also be used. There are some which show the electro-optics response characteristic of a V character mold in this non-threshold antiferroelectricity liquid crystal mixture. Thus, the active matrix liquid crystal display of the reflective mold shown in drawing 13 is completed.

[0092] What is necessary is on the other hand, just to form the pixel electrode prepared in each pixel of the pixel section with a transparent electrode, in considering as the liquid crystal display of a transparency mold.

[0093] [Example 2] this example shows the example which produced the display using the bottom gate mold TFT with which the above-mentioned examples (top gate mold TFT) differ using drawing 14.

[0094] First, a metal cascade screen is formed by the spatter on the insulating substrate 1801. This metal cascade screen has the nitriding tungsten film in a lower layer, and has the tungsten film in the upper layer. In addition, substrate film, such as nitriding silicon oxide film expressed with SiO_xN_y in contact with a substrate, may be formed. Subsequently, the resist mask for obtaining a desired gate circuit pattern is formed by the photolithography method.

[0095] In the bottom gate mold TFT, it is necessary to form gate dielectric film, a channel formation field, etc. on gate wiring. In order to raise the TFT property of bottom gate structure, the covering nature

of the film formed on gate wiring, and pressure-proofing of gate dielectric film, as for the taper angle of the gate wiring 1802-1805, it is preferably desirable that it is 40 degrees or less 60 degrees or less.

[0096] Subsequently, using the ICP etching system, as shown in the gestalt of implementation of the above-mentioned invention, bias power or a gas stream quantitative ratio was chosen suitably, and 60 degrees or less of taper angles of the gate wiring 1802-1805 were preferably made into 40 degrees or less. Subsequent processes are not limited especially that what is necessary is just to use a well-known technique.

[0097] For the n channel mold TFT and 1816, Pixel TFT and 1817 are [1814 / a CMOS circuit and 1815 / a pixel electrode and 1818b of an interlayer insulation film and 1818a] ITO film in drawing 21. This ITO film 1818b is prepared in order to connect with external terminals, such as FPC. Moreover, 1819 is a liquid crystal ingredient and 1820 is a counterelectrode. Moreover, as for a seal field, and 1807, 1809-1812, for 1801, the 1st substrate and 1808 are [a pillar-shaped spacer and 1821] the 2nd substrate.

[0098] In addition, this example can be freely combined with an example 1.

[0099] An example of various wiring structures formed on the insulating front face at [example 3] drawing 15 using this invention is shown. The sectional view of wiring of the monolayer structure which consists of an ingredient 1501 which uses a tungsten as a principal component on the film (or substrate) 1500 which has an insulating front face was shown in drawing 15 (A). As a target, patterning of the film which purity formed using what is 6Ns, using the simple substance gas of an argon (Ar) as sputtering gas is carried out, and this wiring forms it. In addition, stress is controlled making substrate temperature into 300 degrees C or less, and using the pressure of sputtering gas as 1.0Pa or more, and an operation person should just determine other conditions (spatter power etc.) suitably.

[0100] In the case of the above-mentioned patterning, the taper angle alpha is controlled according to the approach shown in the gestalt of implementation of invention, for example, bias power density.

[0101] In this way, the cross-section configuration of the wiring 1501 obtained has the desired taper angle alpha. Moreover, an impurity element can hardly be contained, but especially the content of oxygen can be set to 30 ppm or less, and, typically, electrical resistivity can be made into 6micro - 15micro ohm-cm below 20micro ohm-cm. Moreover, membranous stress can be made into -5x1010 - 5x1010 dyn/cm².

[0102] Moreover, drawing 15 (B) showed the same two-layer structure as the gate electrode of an example 1. In addition, a nitriding tungsten (WNx) is used as a lower layer, and the tungsten is made into the upper layer. In addition, the nitriding tungsten film 1502 is set to 10-50nm (preferably 10-30nm), and should just set the tungsten film 1503 to 200-400nm (preferably 250-350nm). In this example, laminating formation was continuously carried out using the spatter, without touching atmospheric air.

[0103] Moreover, drawing 15 (C) is the example which covered the wiring 1504 which consists of an ingredient which uses as a principal component the tungsten formed on the film (or substrate) 1500 which has an insulating front face by the insulator layer 1505. What is necessary is just to form an insulator layer 1505 by the cascade screen which combined a silicon nitride film, the oxidation silicon film, the oxidation silicon nitride film (however, $0 < x, y < 1$) SiO_xN_y, or them.

[0104] Moreover, drawing 15 (D) is the example which covered the front face of the wiring 1506 which consists of an ingredient which uses as a principal component the tungsten formed on the film (or substrate) 1500 which has an insulating front face by the nitriding tungsten film 1507. In addition, if nitriding treatment, such as plasma nitriding, is performed to wiring of the condition of drawing 15 (A), the structure of drawing 15 (D) will be acquired.

[0105] Moreover, drawing 15 (E) is the example which enclosed the wiring 1509 which consists of an ingredient which uses as a principal component the tungsten formed on the film (or substrate) 1500 which has an insulating front face by the nitriding tungsten film 1510 and 1508. In addition, if nitriding treatment, such as plasma nitriding, is performed to wiring of the condition of drawing 15 (B), the structure of drawing 15 (E) will be acquired.

[0106] Moreover, drawing 15 (F) is the example covered by the insulator layer 1511, after forming the

condition of drawing 15 (E). What is necessary is just to form an insulator layer 1511 by the cascade screen which combined a silicon nitride film, the oxidation silicon film, an oxidation silicon nitride film, or them.

[0107] Thus, this invention is applicable to various wiring structures. Moreover, this example can be freely combined with an example 1 or an example 2.

[0108] [Example 4] this example explains the case where this invention is applied to the reflective mold liquid crystal display produced on the silicon substrate. In an example 1, this example adds the impurity element which gives n mold or p mold directly to a silicon substrate (silicon wafer) instead of the barrier layer which becomes by the crystalline substance silicon film, and should just realize TFT structure. Moreover, since it is a reflective mold, it is a metal membrane with a reflection factor high as a pixel electrode (for example, what is necessary is just to use aluminum, silver, or these alloys (aluminum-Ag alloy)).

[0109] In addition, the configuration of this example can be freely combined with any configuration of examples 1-3.

[0110] It is also possible to use, in case [example 5] this invention forms an interlayer insulation film on the conventional MOSFET and TFT is formed on it. That is, it is also possible to realize the semiconductor device of the three-dimensional structure. Moreover, it is also possible to use SOI substrates, such as SIMOX, Smart-Cut (trademark of SOITEC), and ELTRAN (trademark of canon incorporated company), as a substrate.

[0111] In addition, the configuration of this example can be freely combined with any configuration of examples 1-4.

[0112] [Example 6] this invention can also be applied to a active-matrix mold EL display. The example is shown in drawing 16.

[0113] Drawing 16 is the circuit diagram of a active-matrix mold EL display. 81 expresses the pixel circuit and the direction drive circuit 82 of X and the direction drive circuit 83 of Y are formed around it. Moreover, each pixel of the pixel circuit 81 has TFT84 for a switch, a capacitor 85, TFT86 for current control, and an organic EL device 87, and direction signal-line of X 88a (or 88b) and direction signal-line of Y 89a (or 89b, 89c) are connected to TFT84 for a switch. Moreover, the power-source lines 90a and 90b are connected to TFT86 for current control.

[0114] In the active-matrix mold EL display of this example, TFT used for the direction drive circuit 82 of X, the direction drive circuit 83 of Y, or TFT86 for current control is formed combining the p channel mold 200 or TFT 202 of drawing 12 obtained in the example 1, and the n channel mold 201 or TFT 203. Moreover, TFT of TFT84 for a switch is formed with the n channel mold TFT204 of drawing 12.

[0115] In addition, which configuration of examples 1-5 may be combined to the active-matrix mold EL display of this example.

[0116] The configuration of the above-mentioned active matrix liquid crystal display shown by drawing 13 of the [example 7] example 1 is explained using the perspective view of drawing 17. A active-matrix substrate (the 1st substrate) consists of the pixel section 802 formed on the glass substrate 801, a gate side drive circuit 803, and a source side drive circuit 804. The pixel TFT805 (it is equivalent to the pixel TFT204 of drawing 13) of the pixel section is the n channel mold TFT, and is connected to the pixel electrode 806 and retention volume 807 (it is equivalent to the retention volume 205 of drawing 13).

[0117] Moreover, the drive circuit prepared on the outskirts is constituted on the basis of the CMOS circuit. The gate side drive circuit 803 and the source side drive circuit 804 are connected to the pixel section 802 with the gate wiring 808 and source wiring 809, respectively. Moreover, the I/O wiring (connection wiring) 812 and 813 for transmitting a signal to the external I/O terminal 811 to which FPC810 was connected to a drive circuit is formed. Moreover, 814 is an opposite substrate (the 2nd substrate).

[0118] In addition, although the semiconductor device shown in drawing 17 is called the active matrix liquid crystal display in this specification, generally the thing of the liquid crystal panel attached to FPC as shown in drawing 17 is called liquid crystal module. Therefore, although the active matrix liquid crystal indicating equipment as used in the field of this example is called a liquid crystal module, it does

not interfere.

[0119] TFT formed by carrying out [example 8] this invention can be used for various electro-optic devices. That is, this invention can be carried out on all the electronic equipment that incorporated these electro-optic devices as a display medium.

[0120] As such electronic equipment, a video camera, a digital camera, a head mount display (goggles mold display), a wearable display, car navigation, a personal computer, Personal Digital Assistants (a mobile computer, a cellular phone, or digital book), etc. are mentioned. Those examples are shown in drawing 18.

[0121] Drawing 18 (A) is a personal computer and consists of a body 2001, the image input section 2002, an indicating equipment 2003, and a keyboard 2004. The invention in this application is applicable to the signal drive circuit of the image input section 2002, a display 2003, or others.

[0122] Drawing 18 (B) is a video camera and consists of a body 2101, an indicating equipment 2102, the voice input section 2103, an actuation switch 2104, a dc-battery 2105, and the television section 2106. The invention in this application is applicable to the signal drive circuit of a display 2102, the voice input section 2103, or others.

[0123] Drawing 18 (C) is a mobile computer (Mobile computer), and consists of a body 2201, the camera section 2202, the television section 2203, an actuation switch 2204, and a display 2205. The invention in this application is applicable to the signal drive circuit of a display 2205 or others.

[0124] Drawing 18 (D) is a goggles mold display, and consists of a body 2301, a display 2302, and the arm section 2303. This invention is applicable to the signal drive circuit of a display 2302 or others.

[0125] Drawing 18 (E) is a player using the record medium (it is hereafter called a record medium) which recorded the program, and consists of a body 2401, an indicating equipment 2402, the loudspeaker section 2403, a record medium 2404, and an actuation switch 2405. In addition, this equipment can use music appreciation, movie appreciation, a game, and the Internet, using DVD (Digital Versatile Disc), CD, etc. as a record medium. This invention is applicable to the signal drive circuit of a display 2402 or others.

[0126] Drawing 18 (F) is a digital camera and consists of a body 2501, an indicating equipment 2502, an eye contacting part 2503, an actuation switch 2504, and the television section (not shown). The invention in this application is applicable to the signal drive circuit of a display 2502 or others.

[0127] As mentioned above, the applicability of the invention in this application is very wide, and applying to the electronic equipment of all fields is possible. Moreover, even if the electronic equipment of this example uses the configuration which consists of combination like an example 1 - 7 throats, it is realizable.

[0128] TFT formed by carrying out [example 9] this invention can be used for various electro-optic devices. That is, this invention can be carried out on all the electronic equipment that incorporated these electro-optic devices as a display medium.

[0129] As such electronic equipment, a projector (a rear mold or front mold) etc. is mentioned. Those examples are shown in drawing 19.

[0130] Drawing 19 (A) is a front mold projector, and consists of a display 2601 and a screen 2602. This invention is applicable to the signal drive circuit of a display or others.

[0131] Drawing 19 (B) is a rear mold projector, and consists of a body 2701, a display 2702, a mirror 2703, and a screen 2704. This invention is applicable to the signal drive circuit of a display or others.

[0132] In addition, drawing 19 (C) is drawing having shown an example of the structure of the displays 2601 and 2702 in drawing 19 (A) and drawing 19 (B). Displays 2601 and 2702 consist of the light source optical system 2801, mirrors 2802, 2804-2806, a dichroic mirror 2803, prism 2807, a liquid crystal display 2808, a phase contrast plate 2809, and an incident light study system 2810. The incident light study system 2810 consists of optical system containing a projector lens. Although this example showed the example of a 3 plate type, it may not be limited especially, for example, may be a veneer type. Moreover, an operation person may prepare suitably the optical system of an optical lens, the film which has a polarization function, the film for adjusting phase contrast, IR film, etc., etc. in the optical path shown by the arrow head in drawing 19 (C).

[0133] Moreover, drawing 19 (D) is drawing having shown an example of the structure of the light source optical system 2801 in drawing 19 (C). The light source optical system 2801 is constituted from this example by a reflector 2811, the light sources 2812, 2813, and 2814, the polarization sensing element 2815, and the condenser lens 2816. In addition, the light source optical system shown in drawing 19 (D) is especially an example, and is not limited. For example, an operation person may prepare suitably the optical system of an optical lens, the film which has a polarization function, the film which adjusts phase contrast, IR film, etc. in light source optical system.

[0134] As mentioned above, the applicability of the invention in this application is very wide, and applying to the electronic equipment of all fields is possible. Moreover, even if the electronic equipment of this example uses the configuration which consists of combination like examples 1-3 and example 7 throat, it is realizable. However, the projector in this example is the liquid crystal display of a transparency mold, and it cannot be overemphasized that it is inapplicable to the liquid crystal display of a reflective mold.

[0135]

[Effect of the Invention] The desired taper angle α can be acquired taking the high selection ratio to a substrate according to this invention, when the taper angle α of wiring sets up suitably controllable conditions, bias power, and a quantity-of-gas-flow ratio. Consequently, since the covering nature of the film formed on the wiring becomes good, defect generating of the chip of wiring, an open circuit, a short circuit, etc. can be reduced.

[0136] Moreover, it can etch with sufficient field internal division cloth, and a uniform wiring configuration is acquired.

[0137] Moreover, this invention is also applicable to opening processes, such as a contact hole.

[Translation done.]